

Lección 2-3. Tipos de PLDs y FPGAs

Objetivo:

Dispositivos program. básicos

Asignaturas:

- Dispositivos Lógicos Programables (5º de Ing. Telecomunicación)

Autor: Juan Carlos Campo

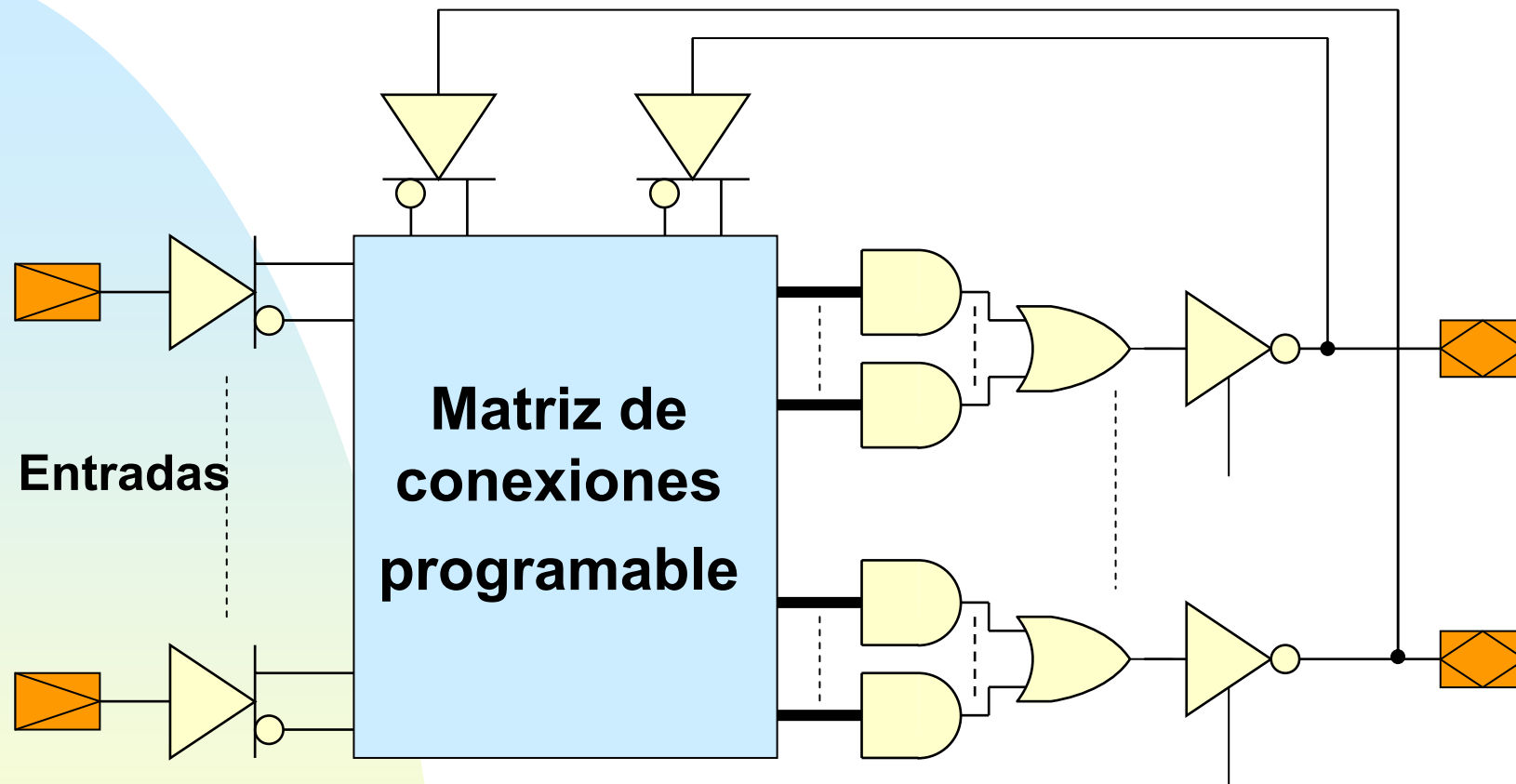
Bibliografía:

[1] “Dispositivos lógicos programables: básicos, avanzados, complejos”. F. Nuño. U. de Oviedo
“Dispositivos Lógicos Programables”. E. Mandado et al. Ed. Thomson.

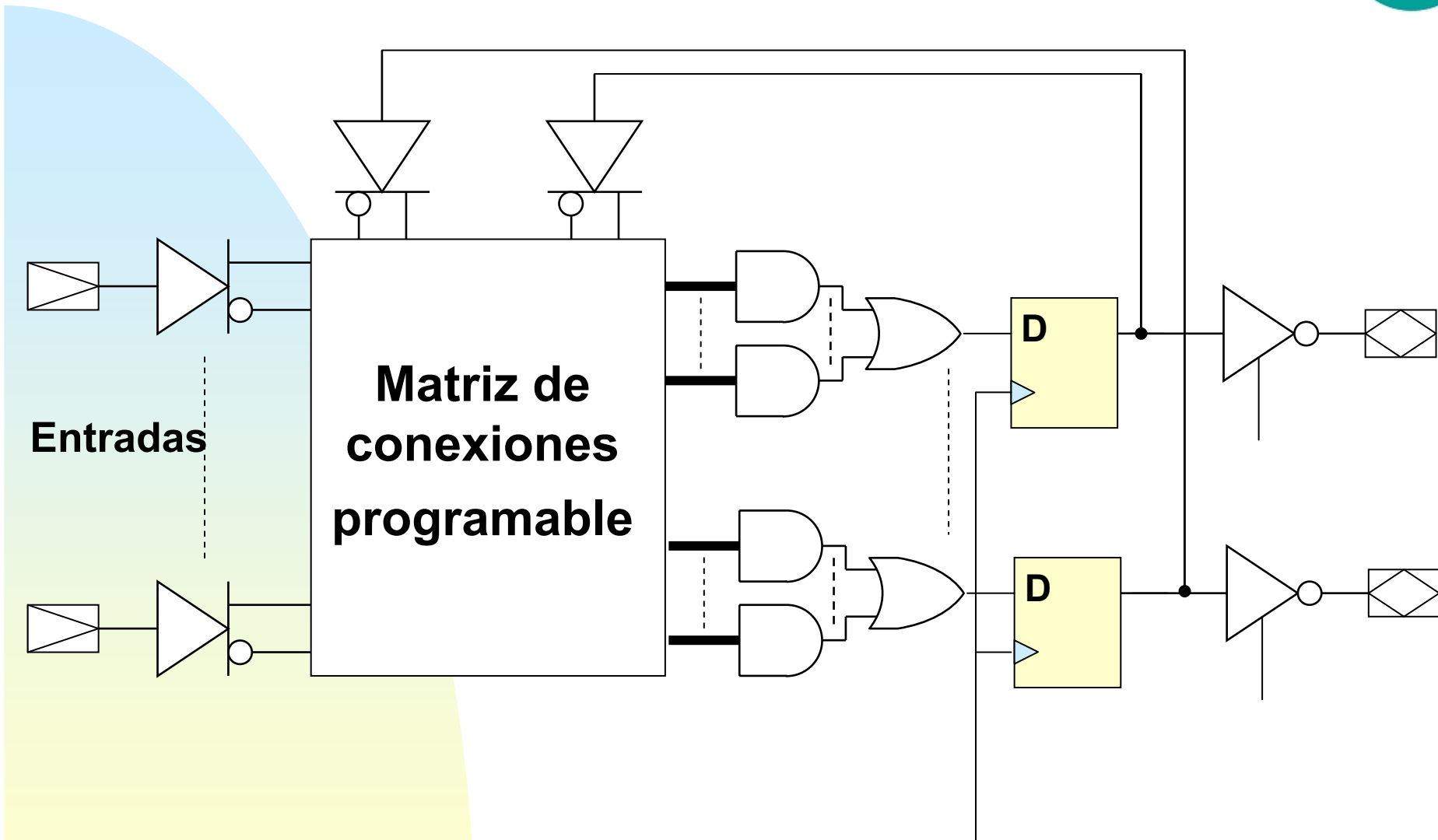


Universidad
de Oviedo

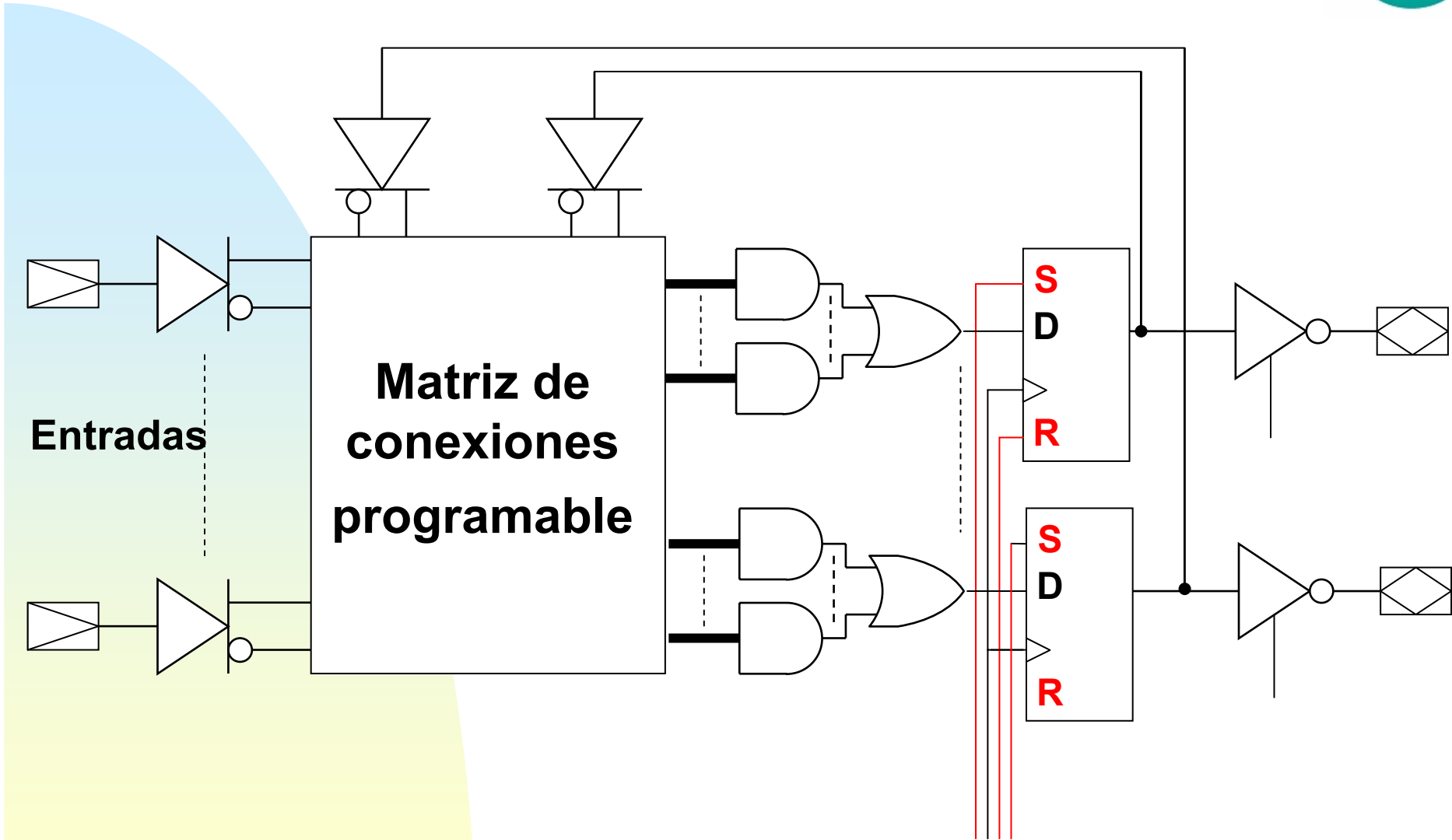
Introducción



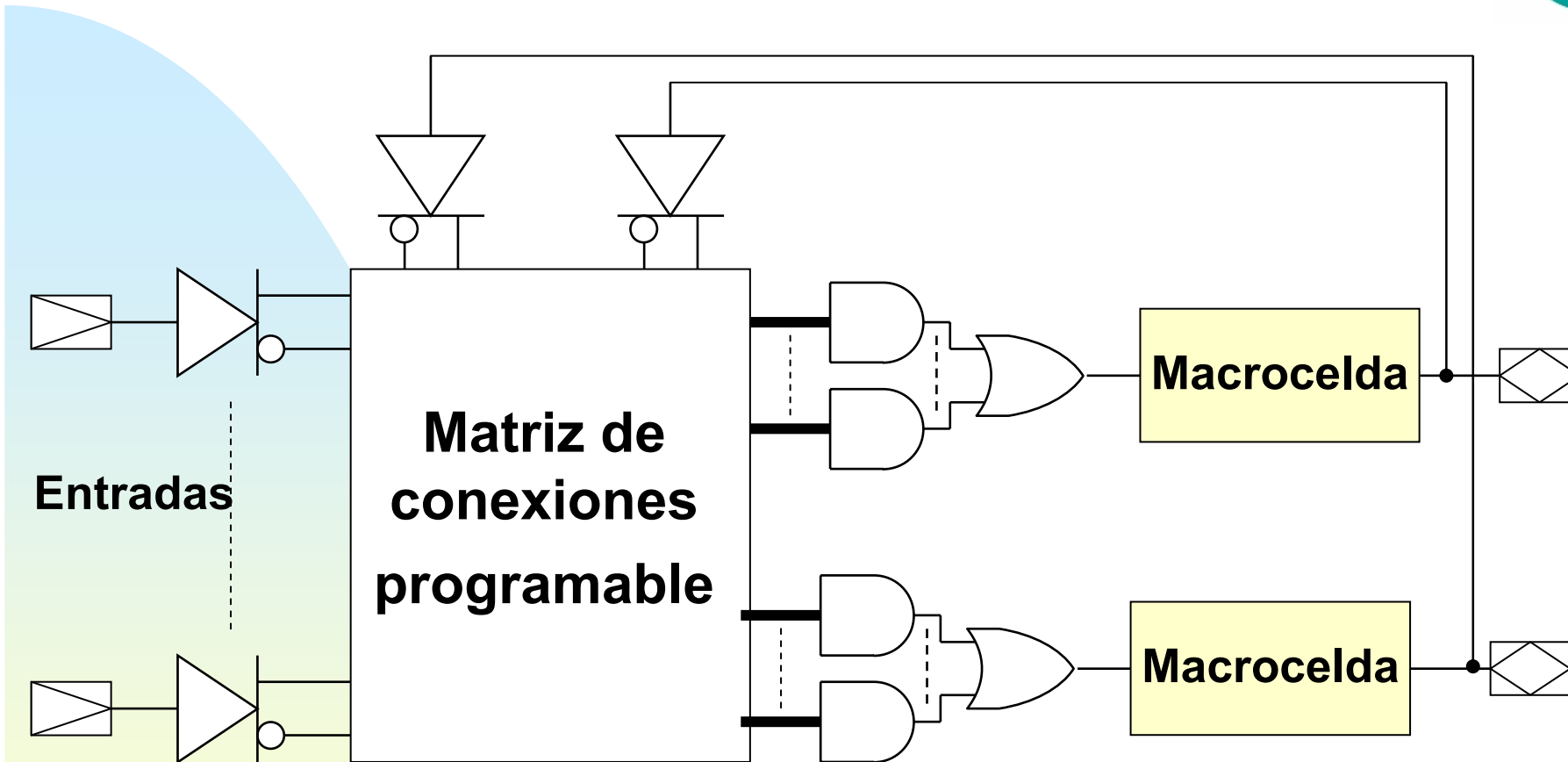
Introducción



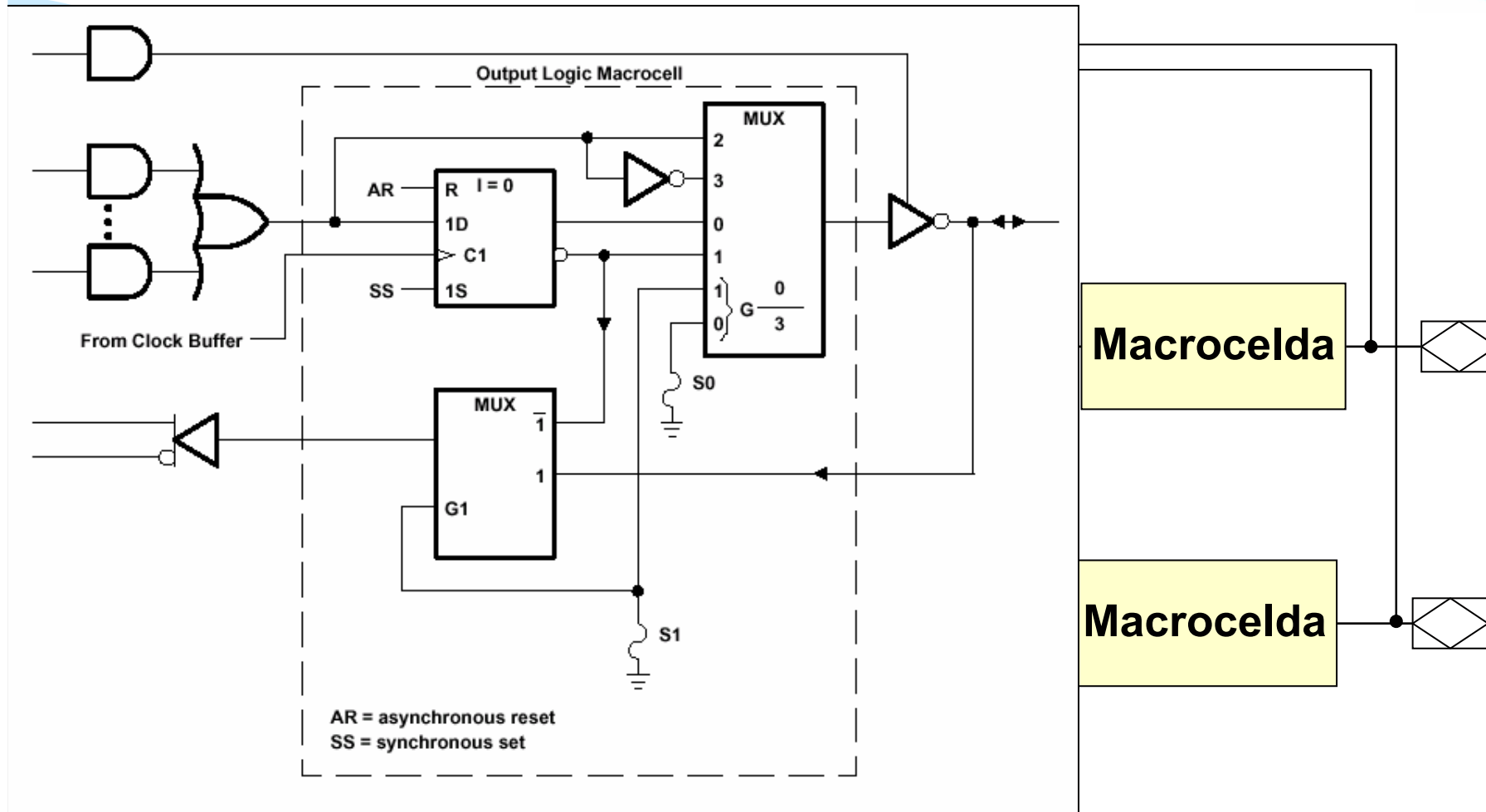
Introducción



Introducción



Introducción



Introducción



- **Añadir doble realimentación:**

Permite utilizar el biestable y el pin como entrada

- **Añadir doble biestable: ej. GAL6002,**
permiten sincronizar la variable de entrada y realimentar la variable de salida

Introducción

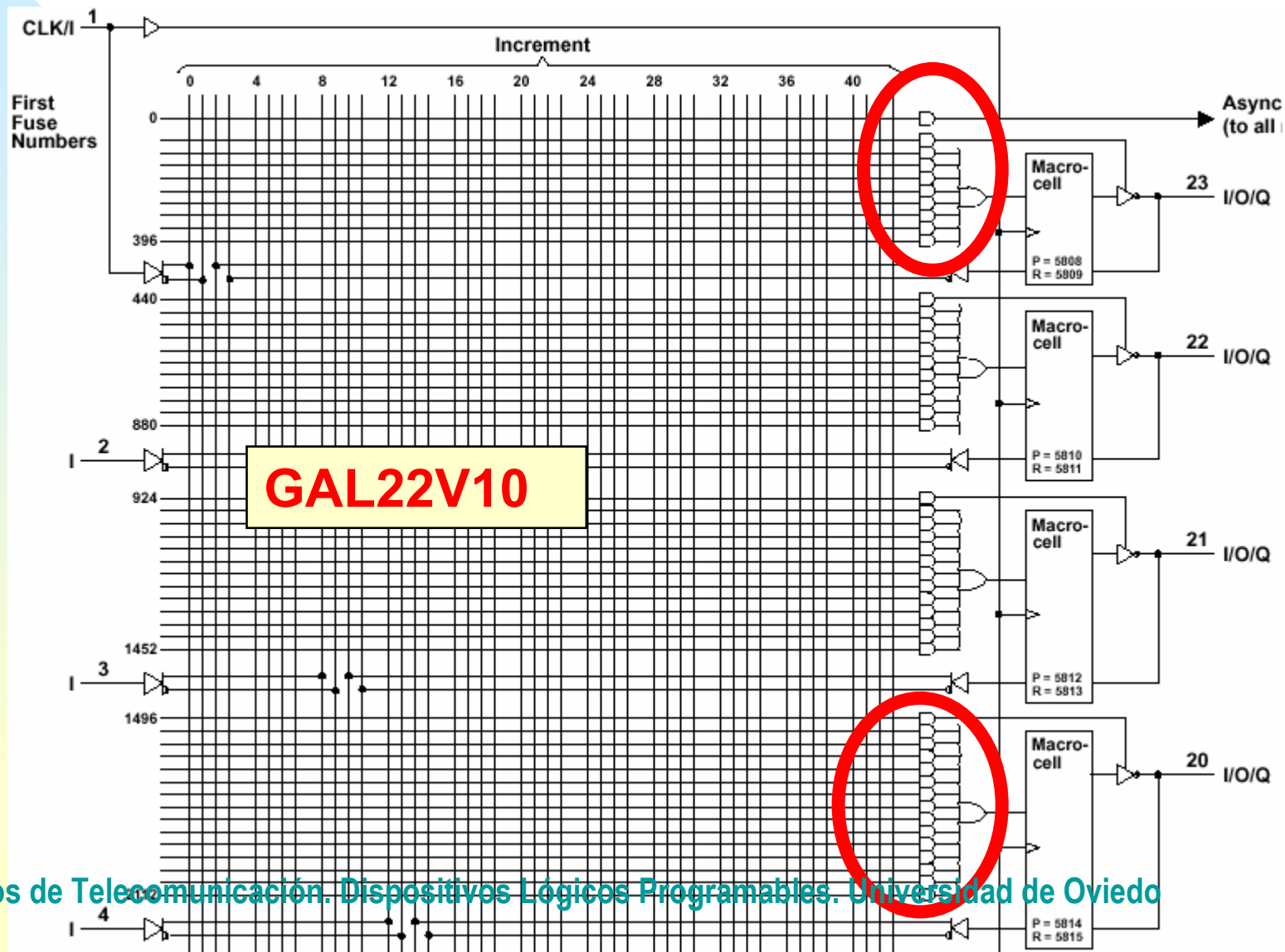


Ejercicio: Estudio de la GAL6001- 6002

PLDs Avanzados. Origen



1. Número de productos \Rightarrow Asignación variable



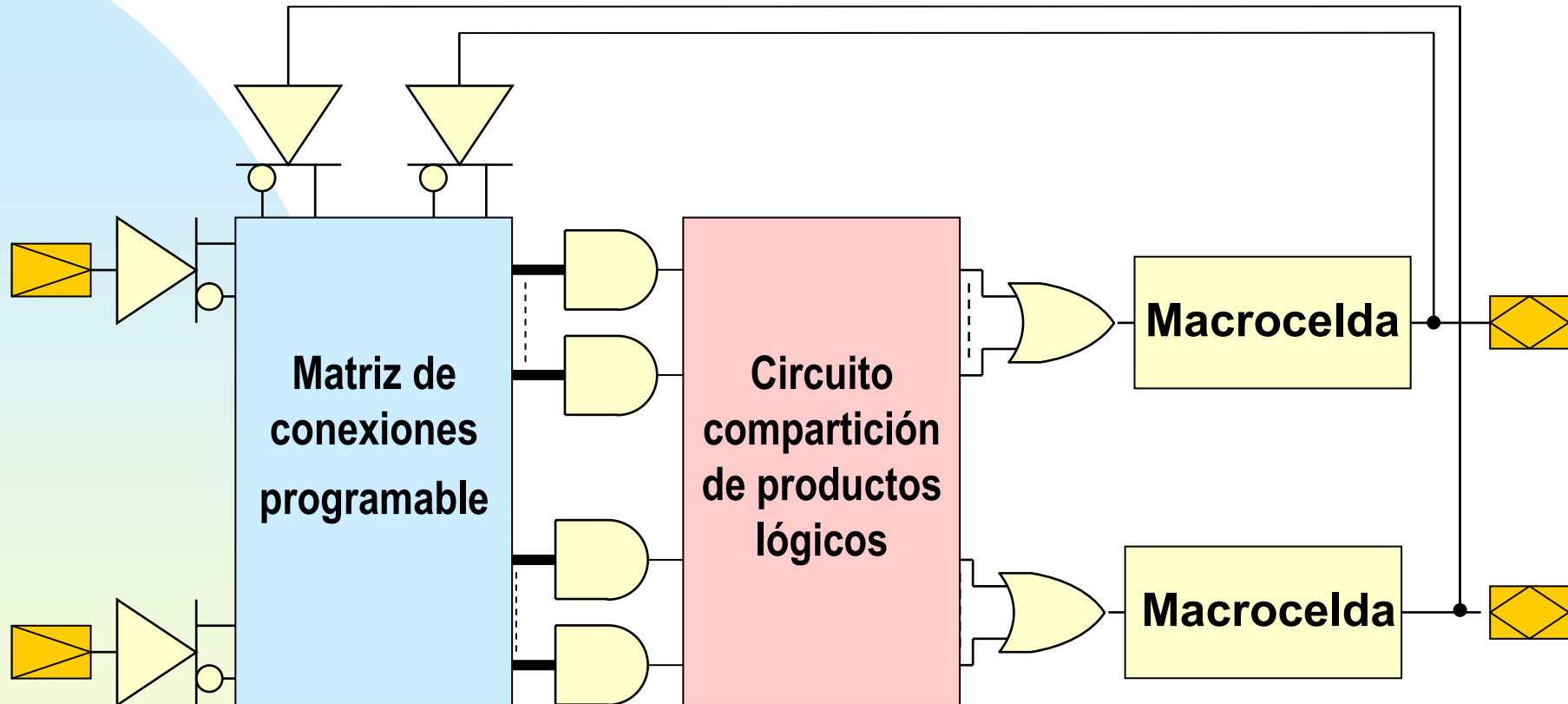
PLDs Avanzados. Origen



2. Número de entradas, aumento de productos ⇒ Arquitectura segmentada

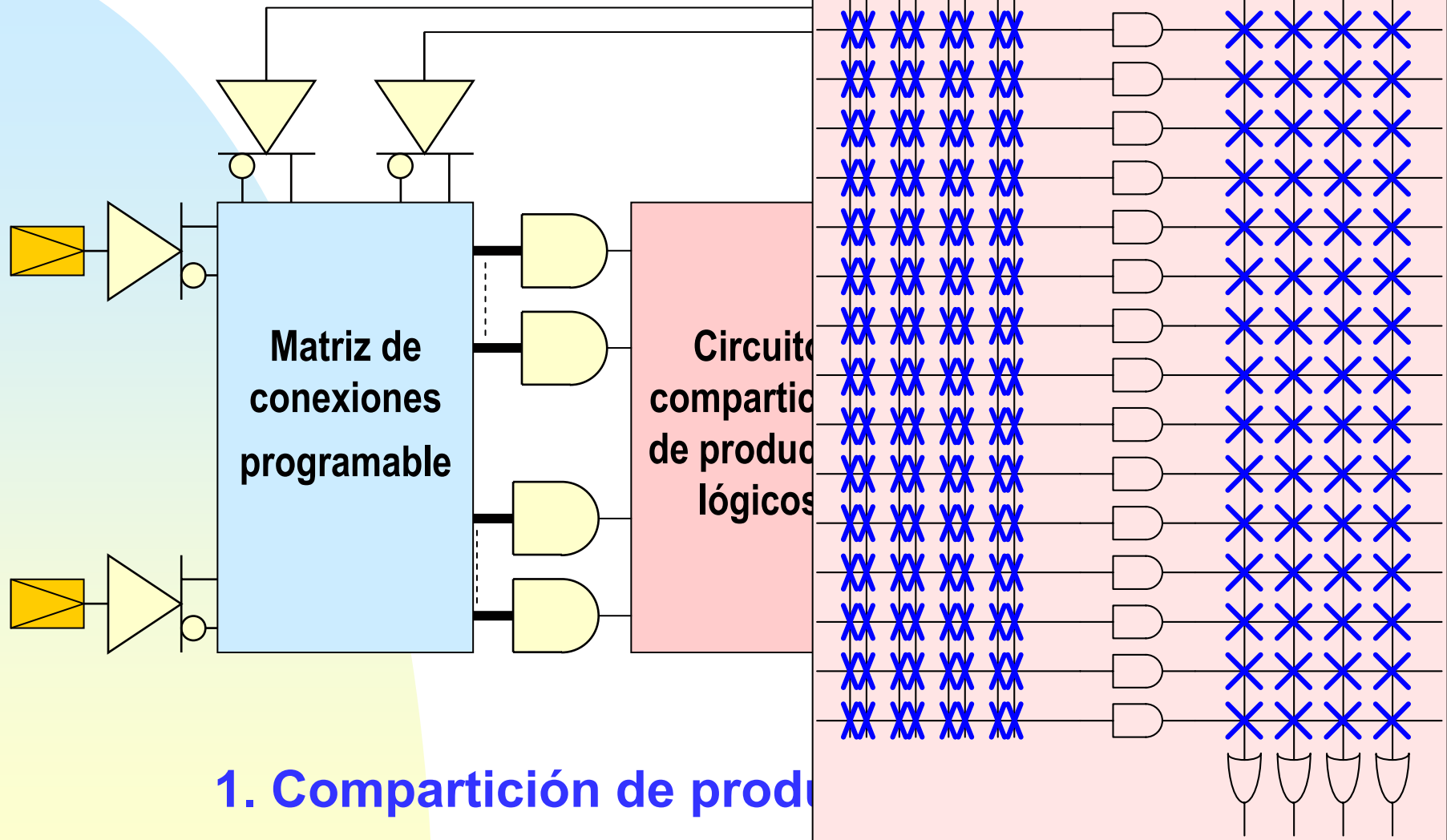
3. Señales de reloj independientes

Asignación variable



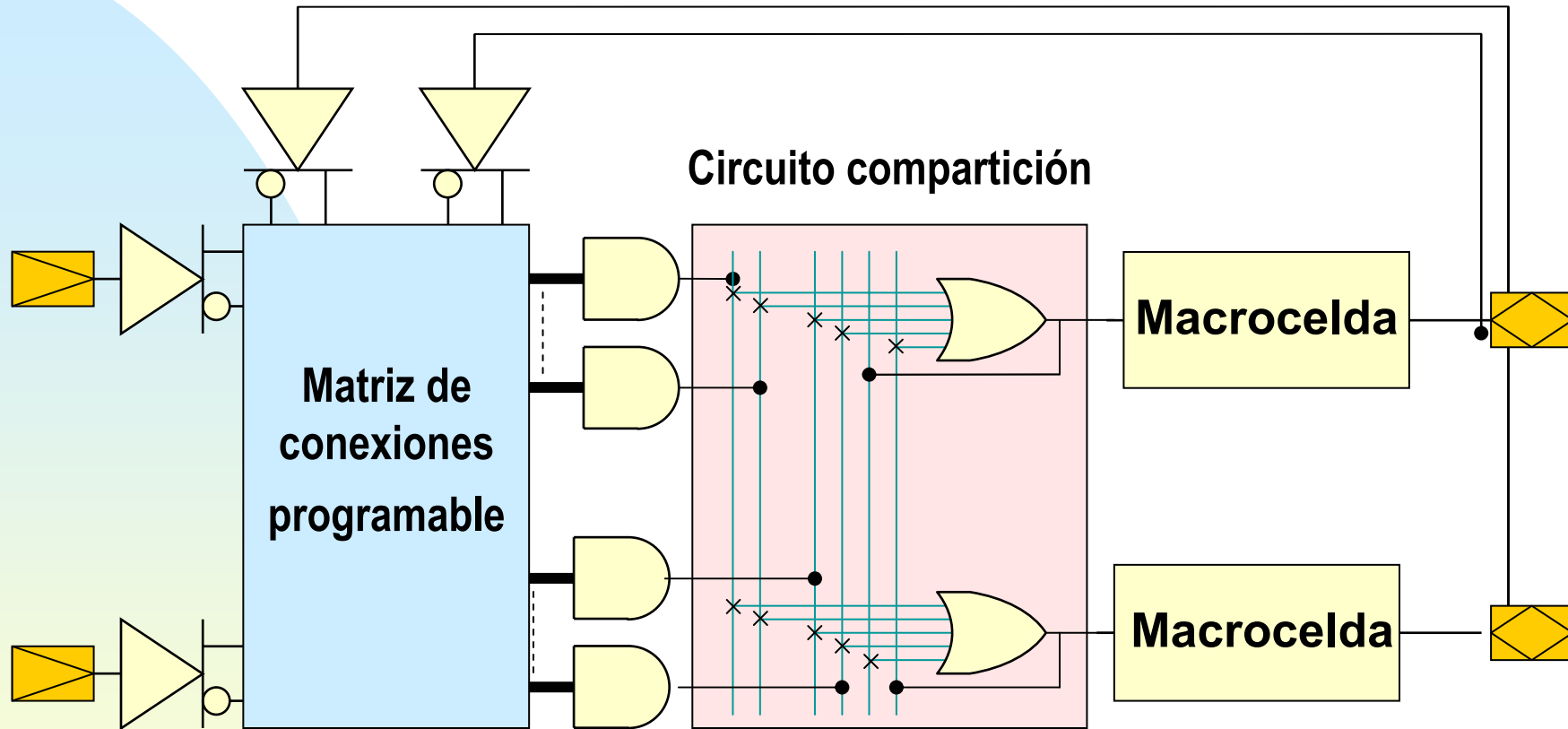
1. Compartición de productos lógicos

Asignación variable



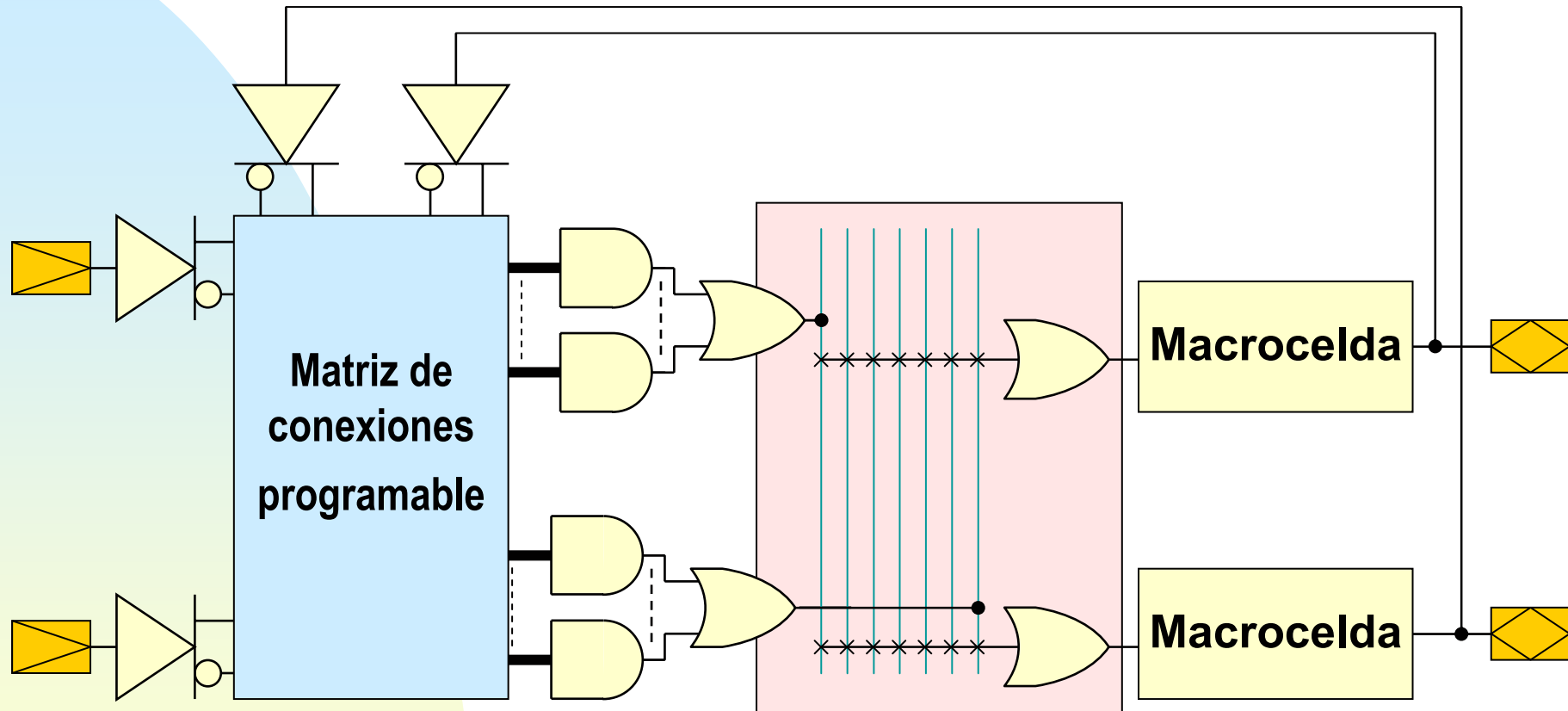
1. Compartición de productos

Asignación variable



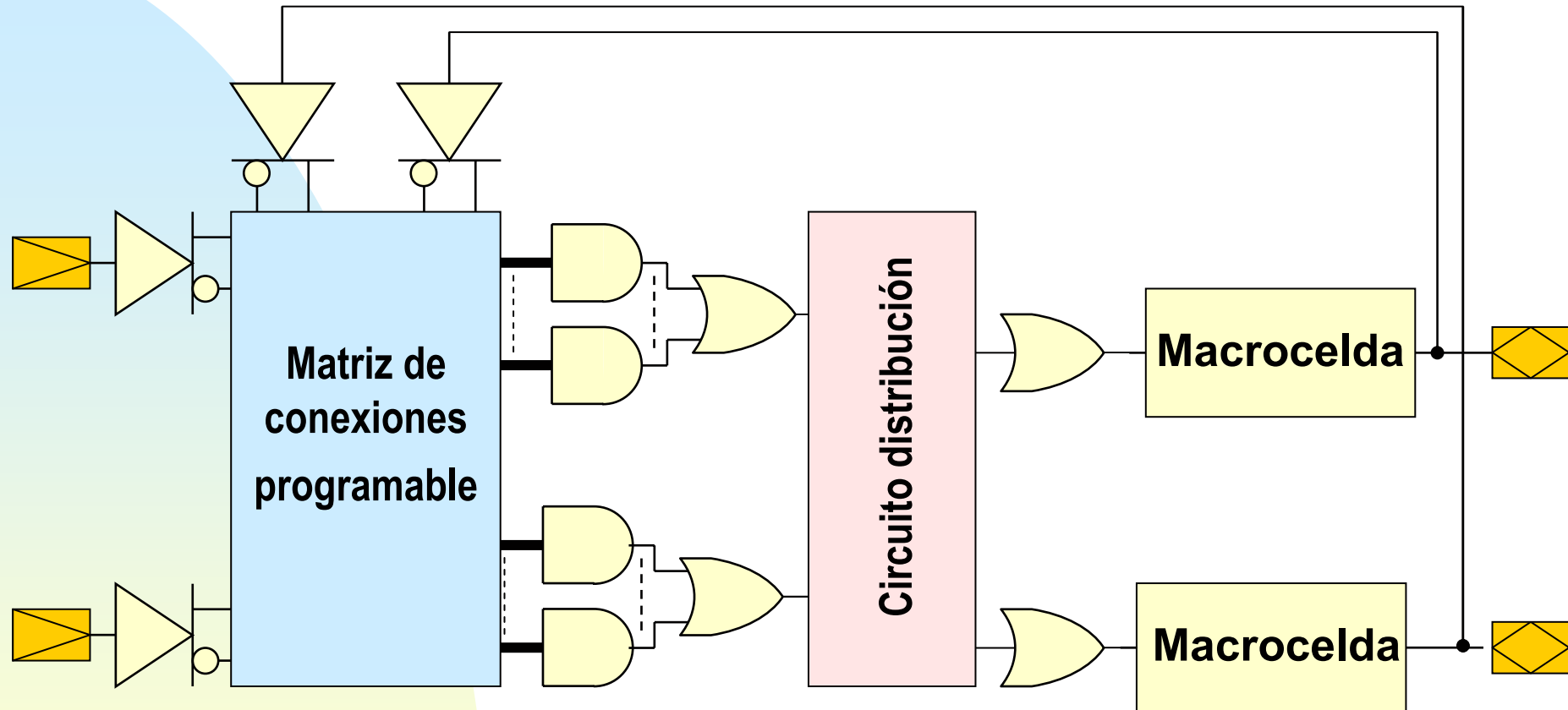
2.A Compartición de sumas de productos (por realimentación de puertas OR)

Asignación variable



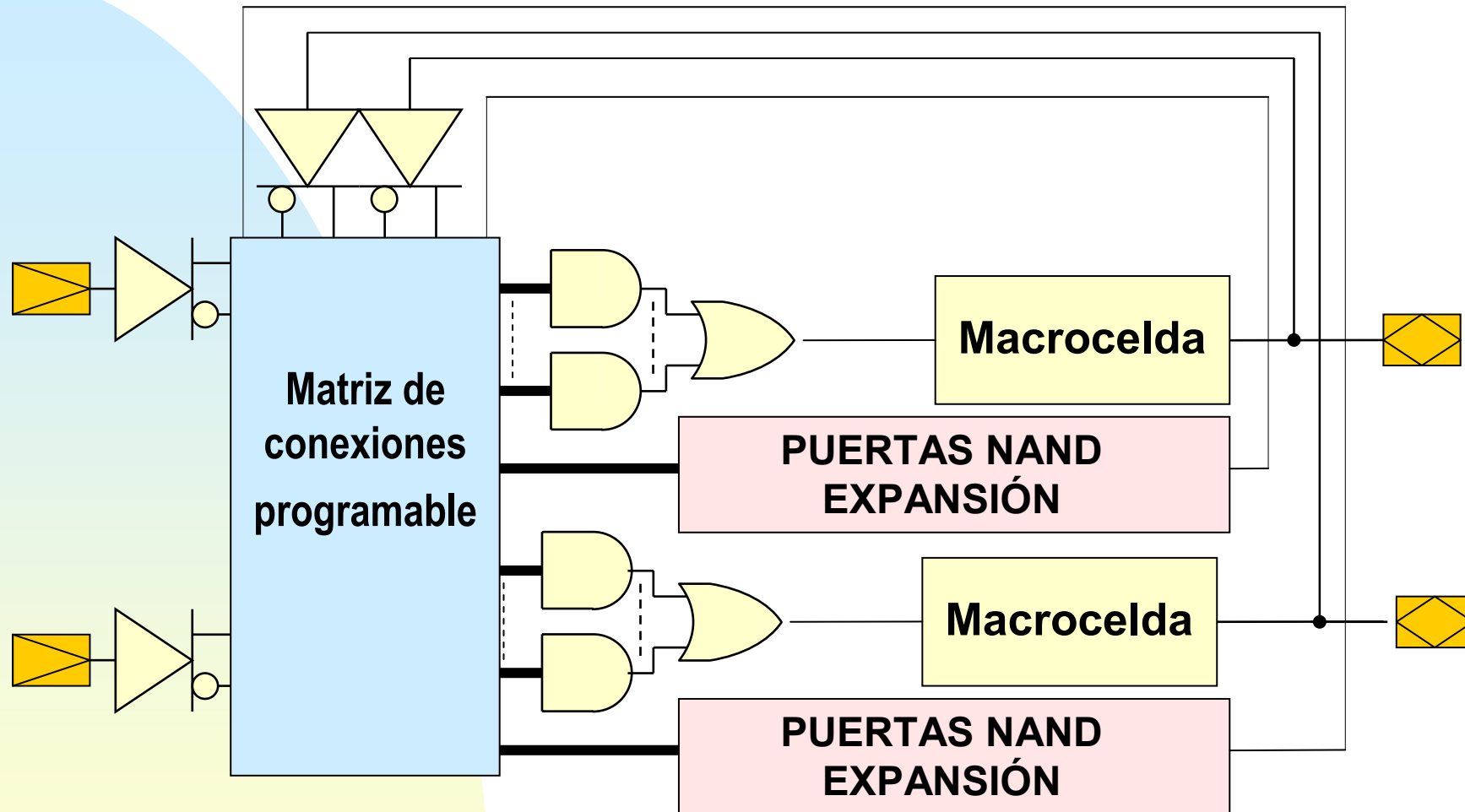
2.B Compartición de sumas de productos (doble puerta OR)

Asignación variable



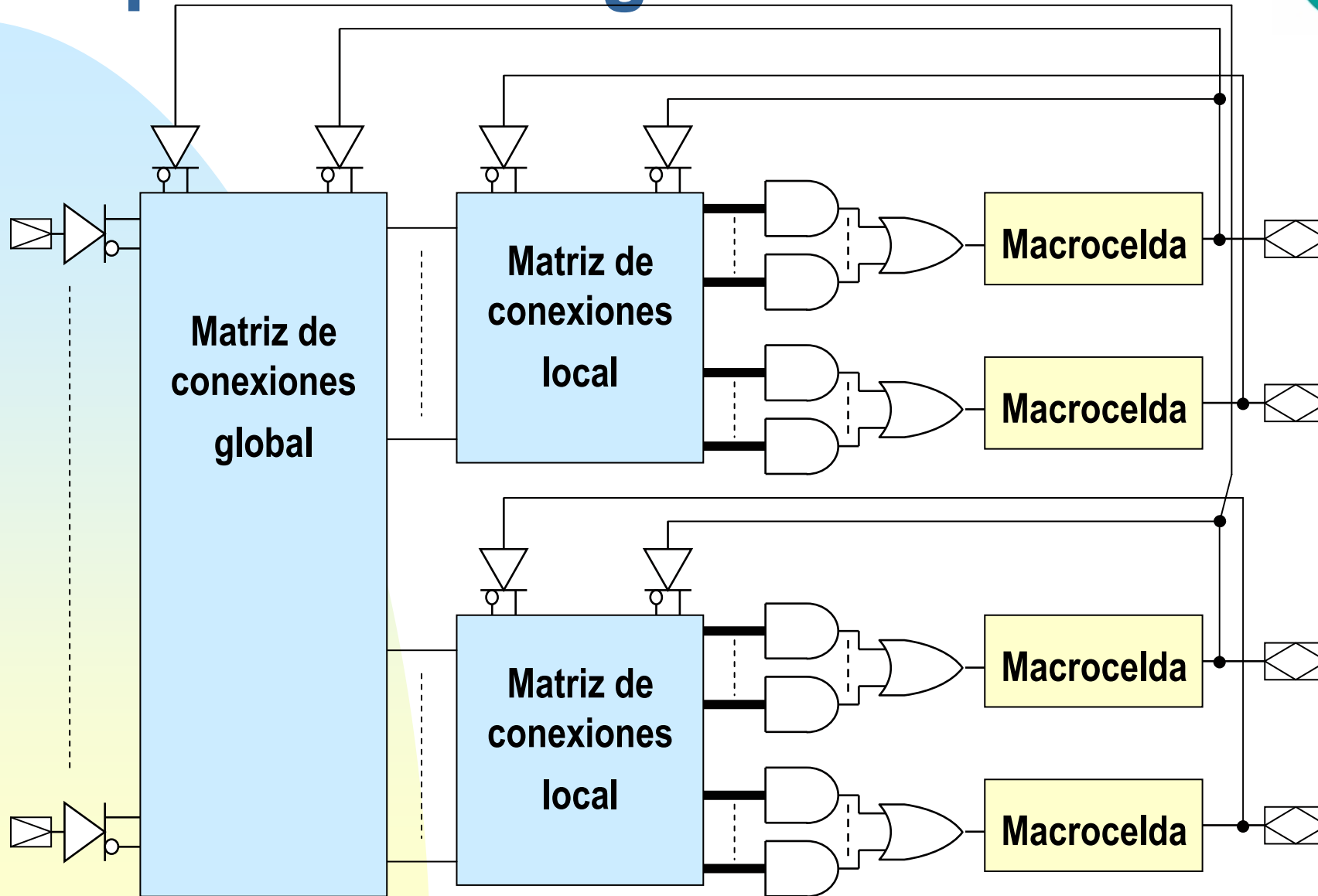
3. Distribución de suma de productos a diferentes macroceldas (ej. MAX 7000)

Asignación variable

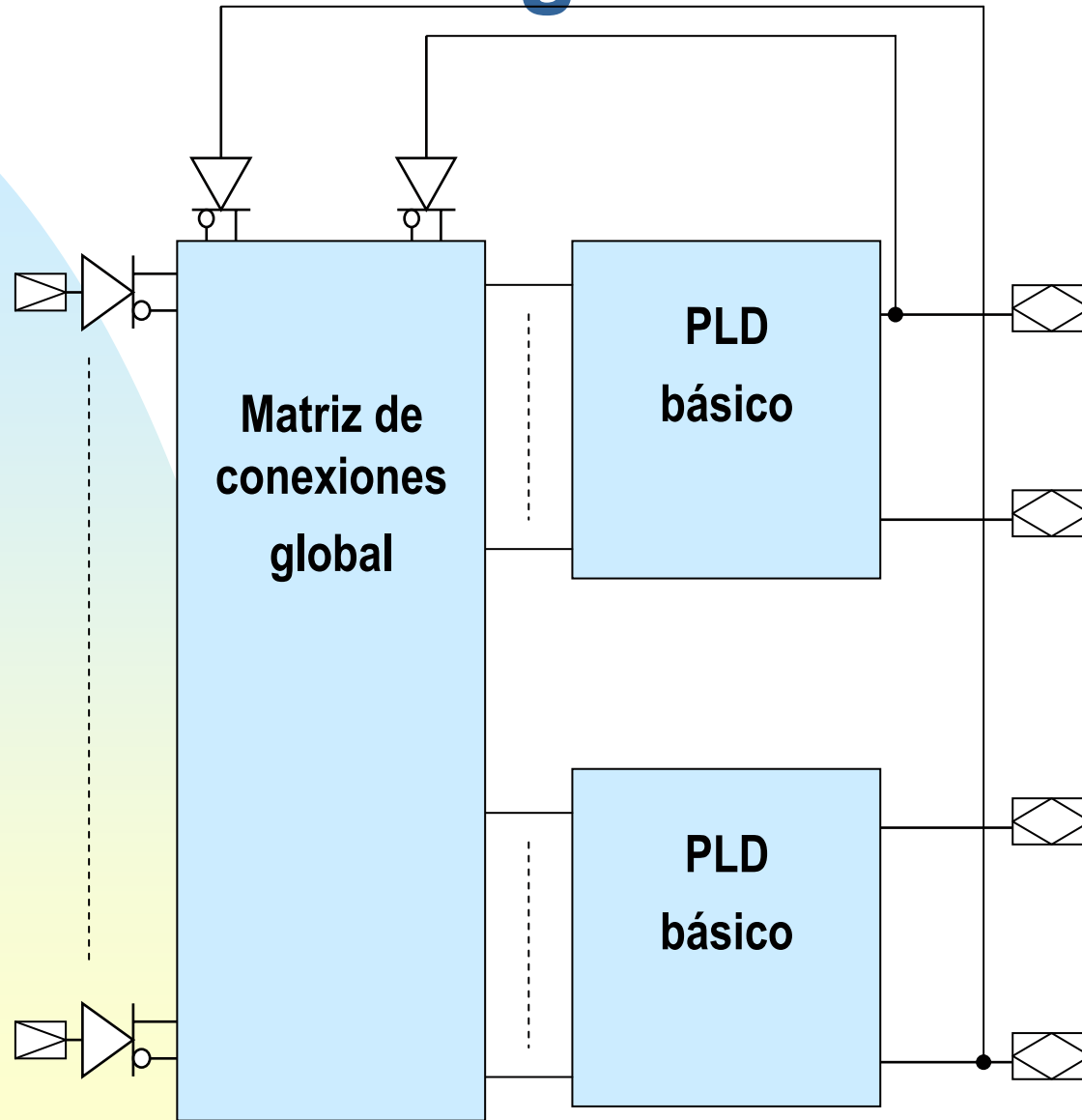


4. PUERTAS NAND DE EXPANSIÓN

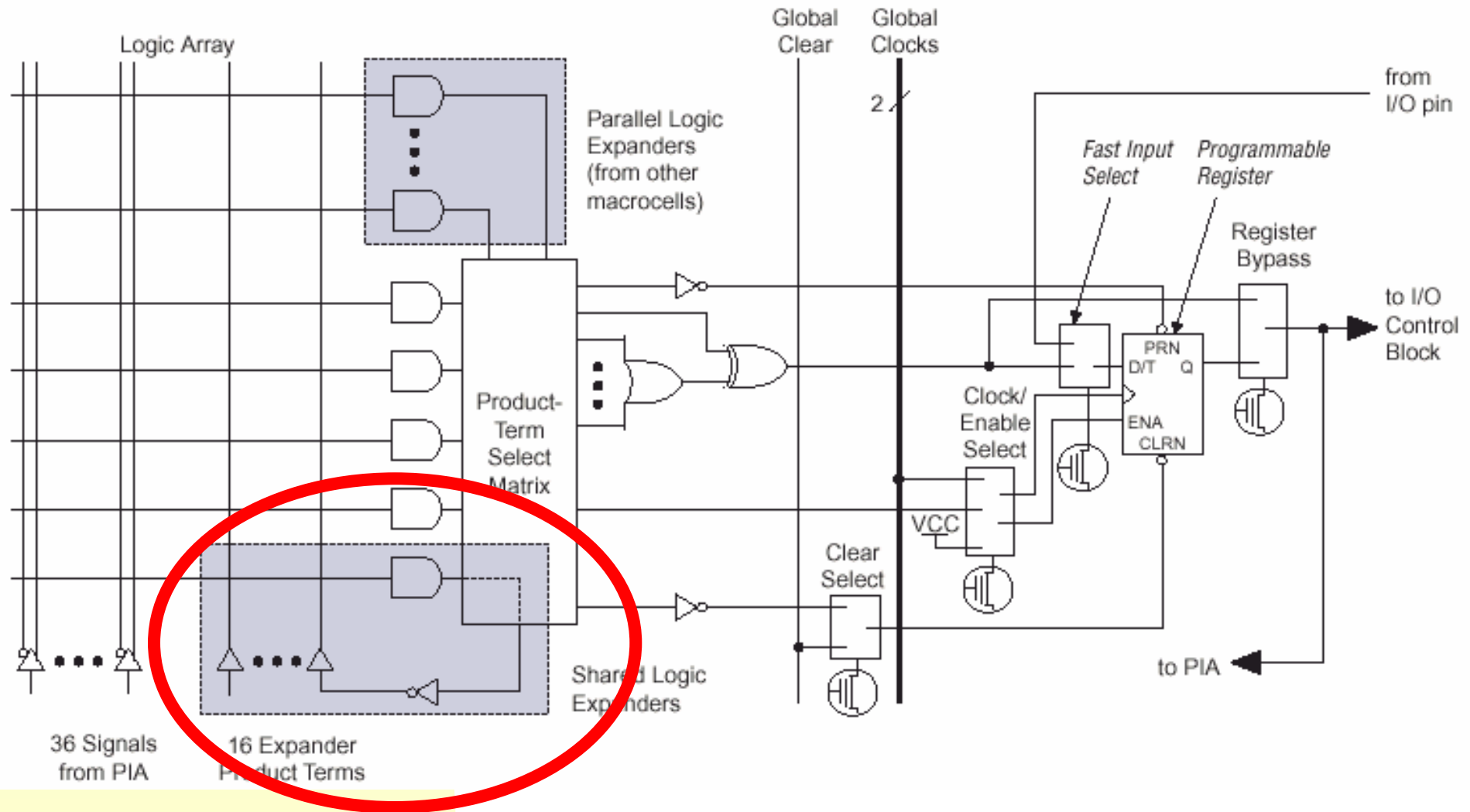
Arquitectura segmentada



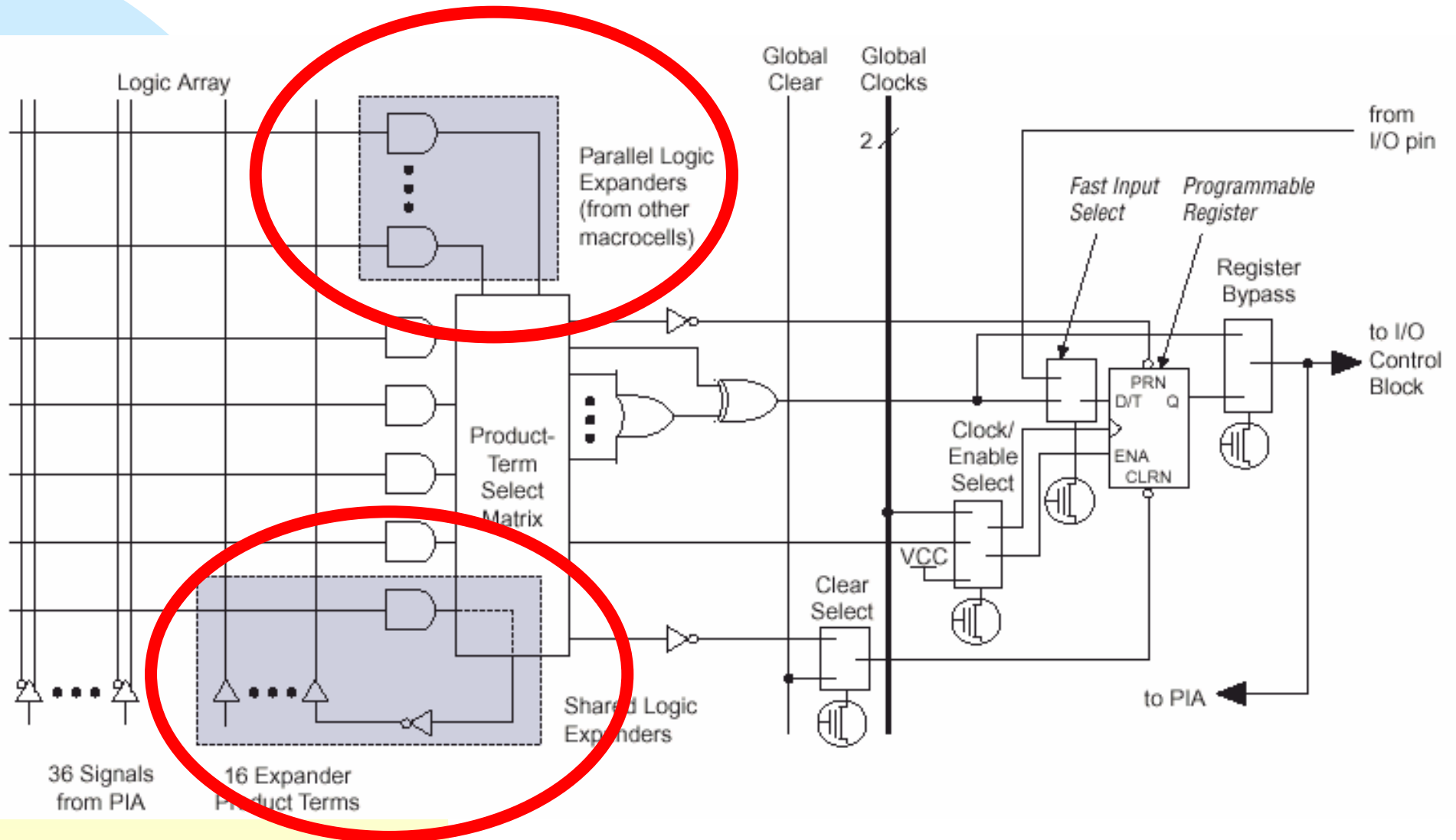
Arquitectura segmentada



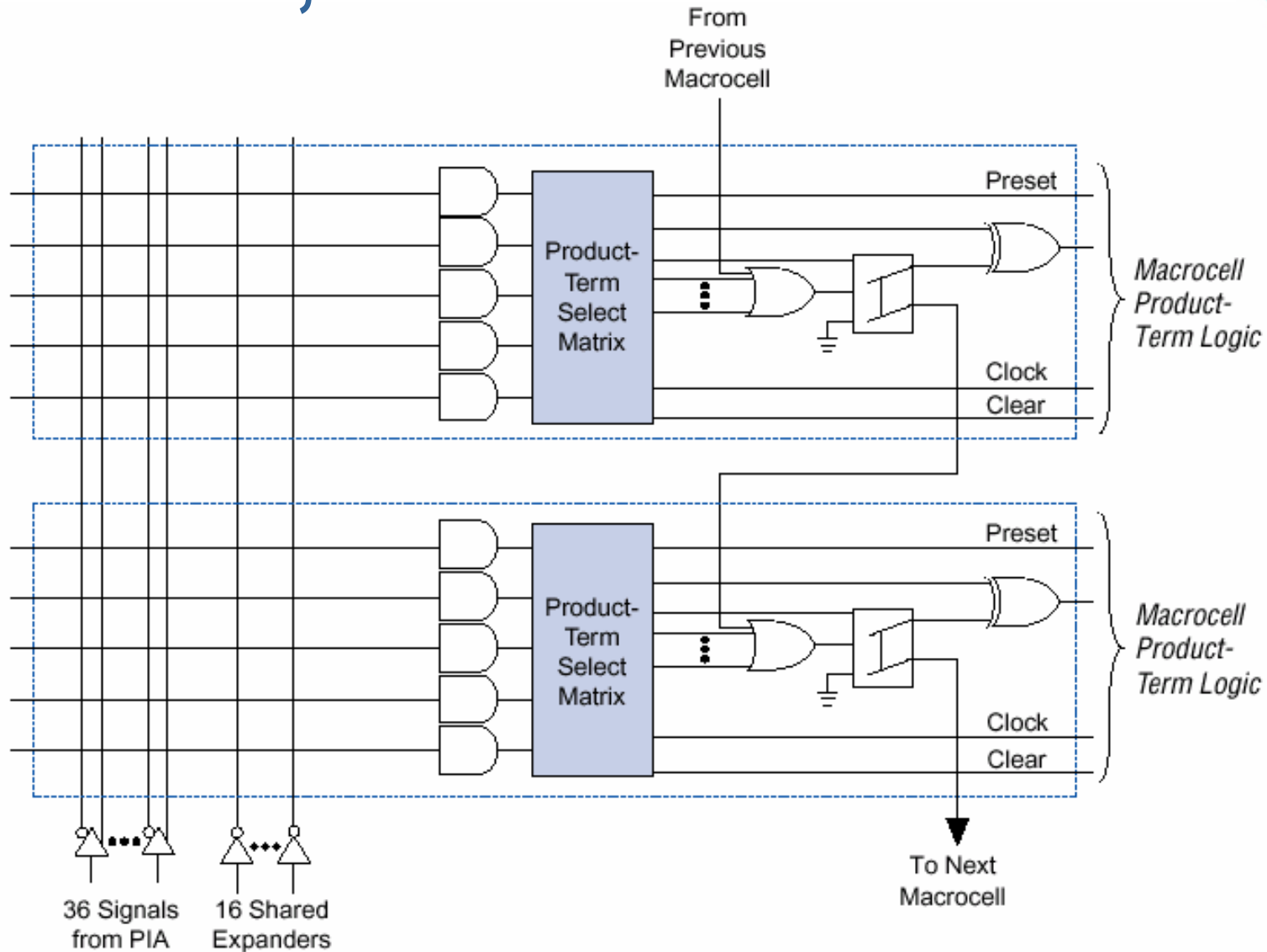
MAX 7000E, macrocelda



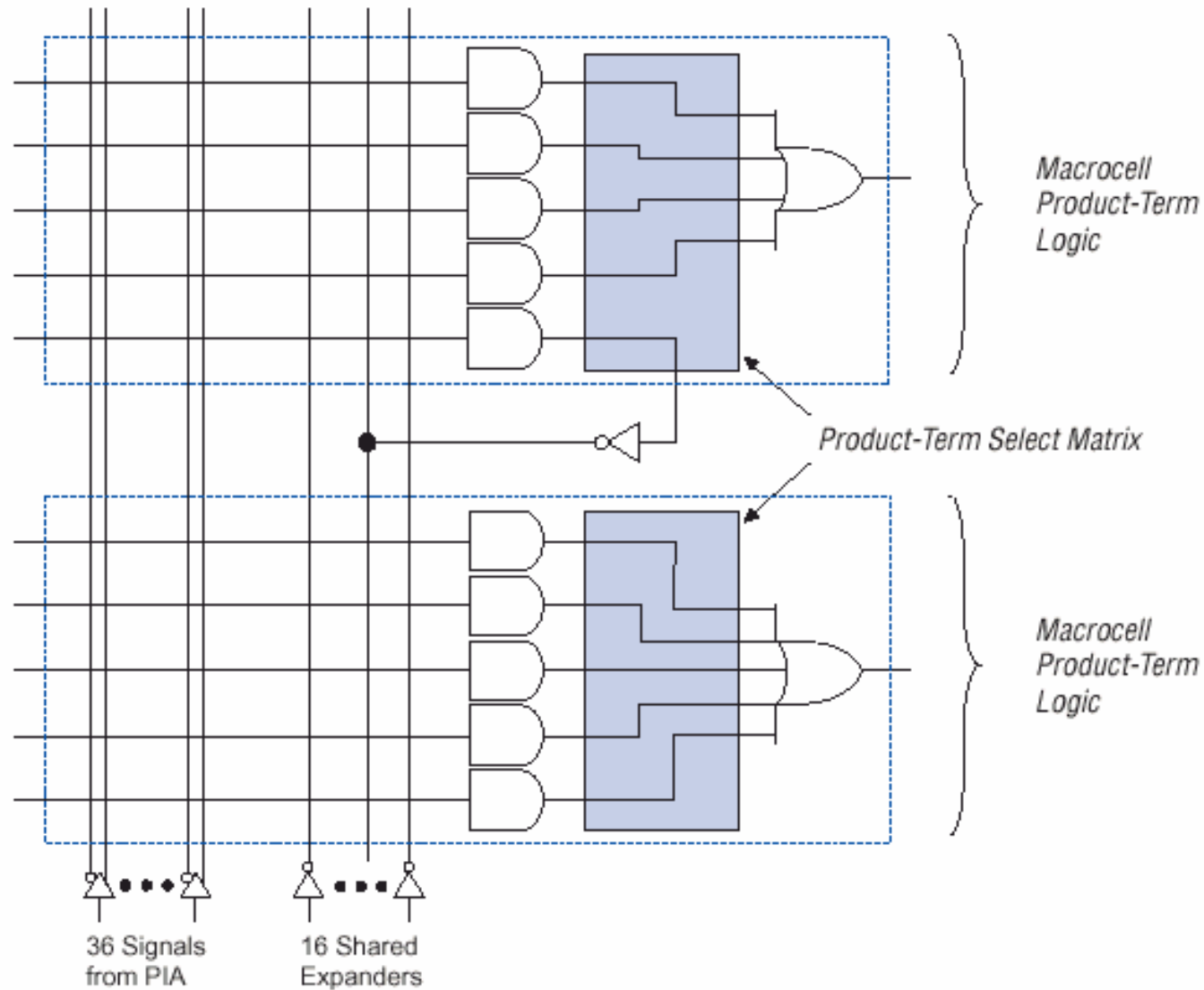
MAX 7000E, macrocelda



MAX 7000E, distribución de sumas



MAX 7000E, puertas expansión

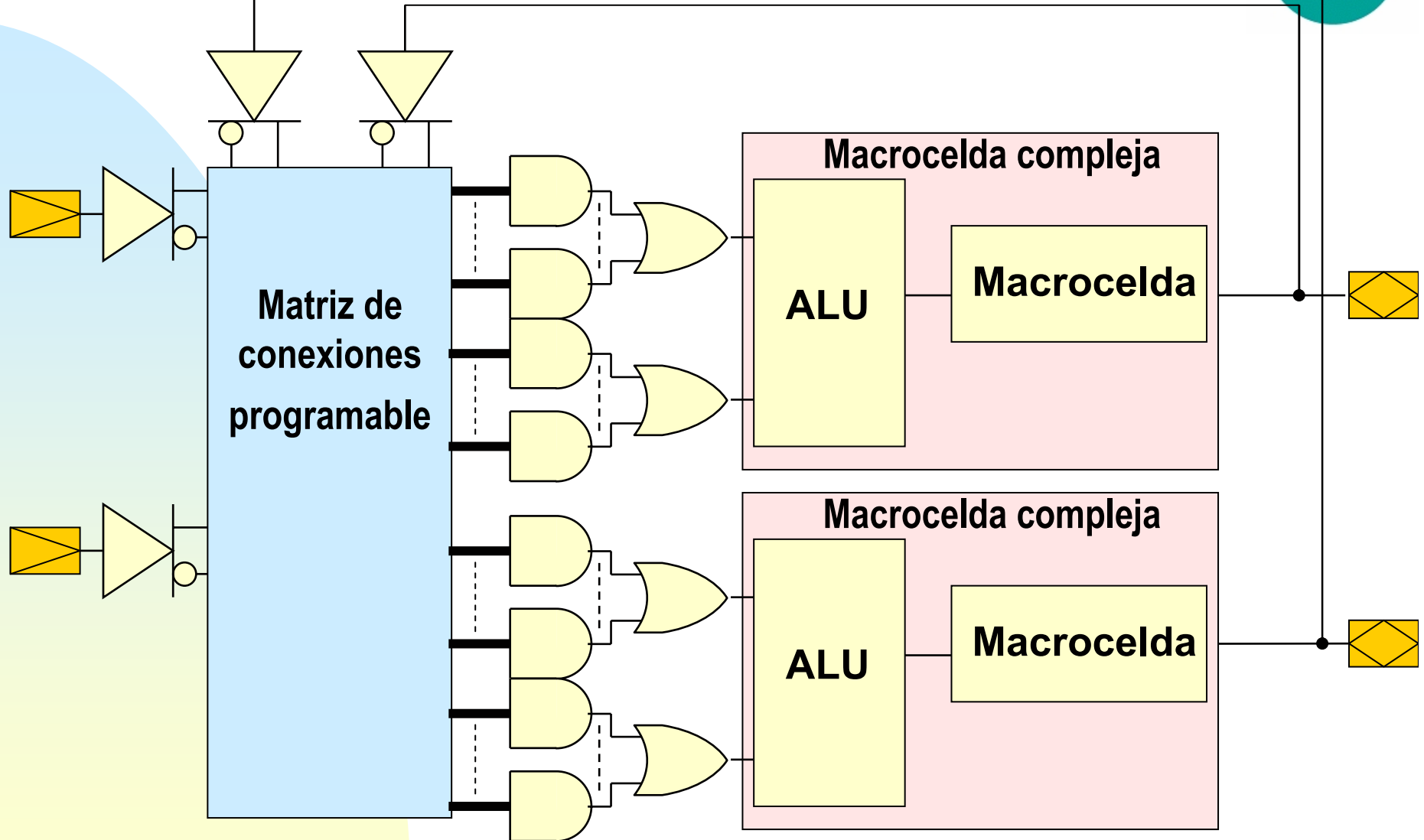


CPLDs, origen



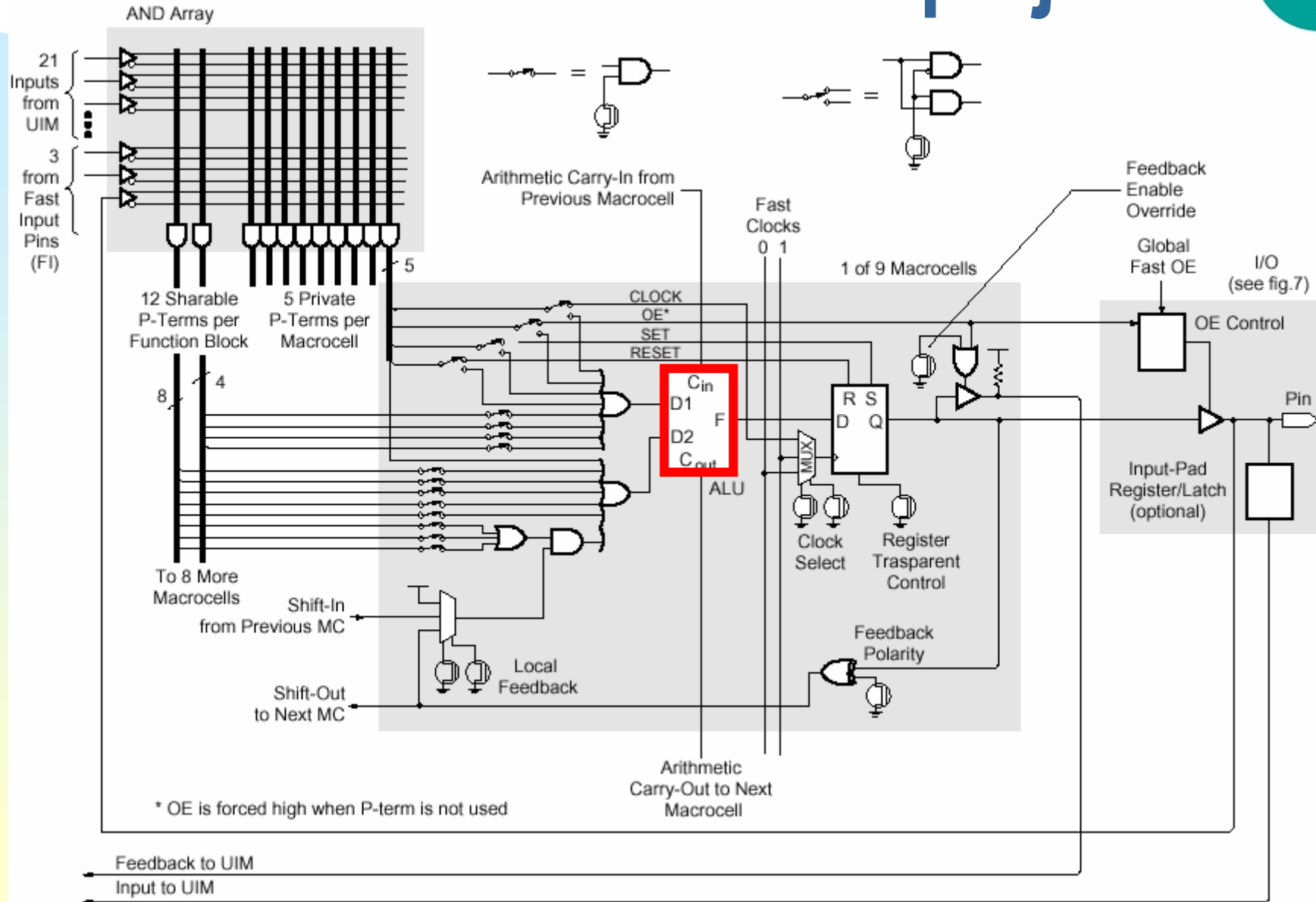
- 1. Dificultad para realizar operaciones aritméticas con rapidez**
- 2. Capacidad de memoria limitada**
- 3. Capacidad lógica limitada**

CPLDs

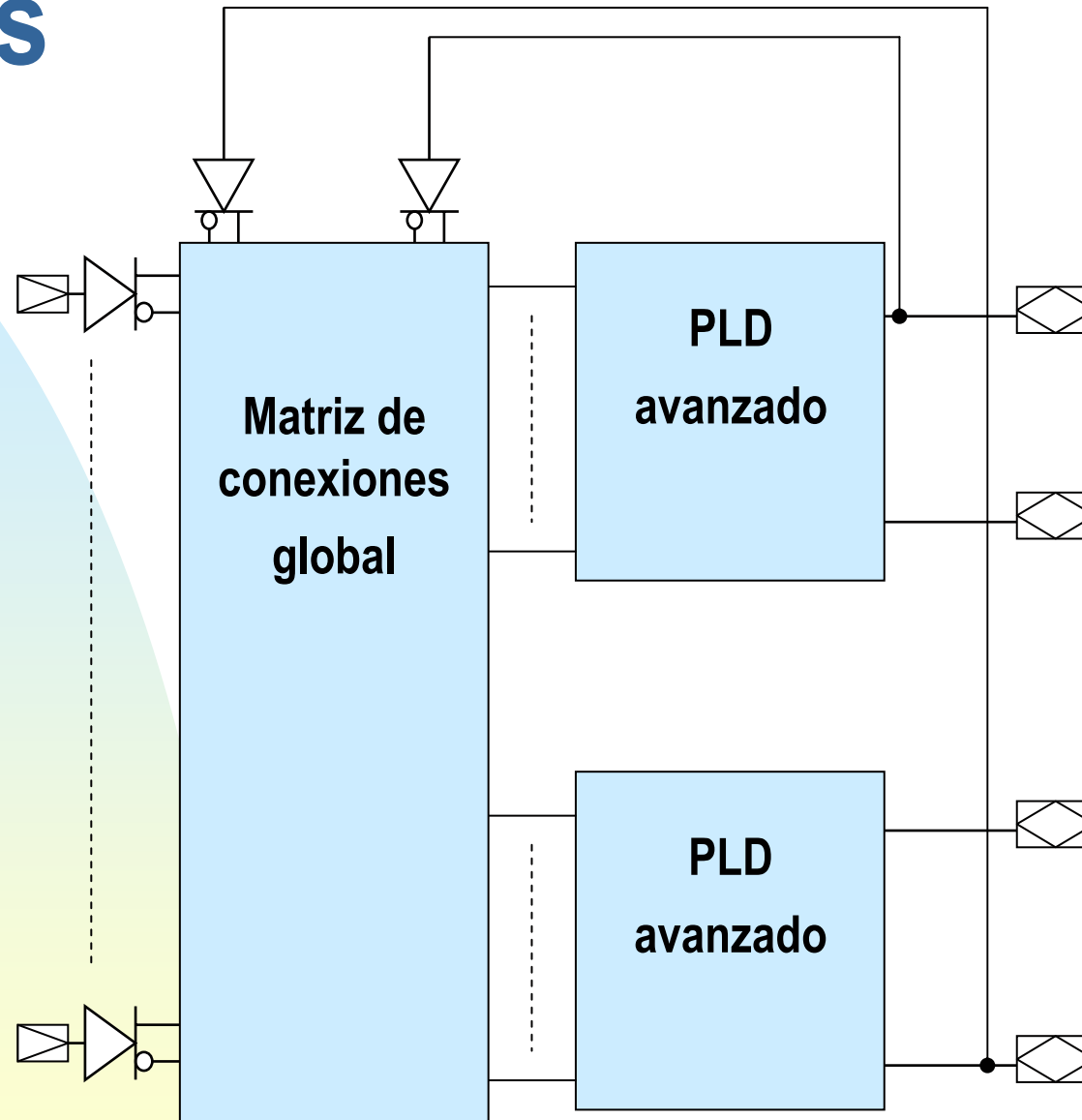


1. Macroceldas complejas

CPLDs. Macrocelda compleja



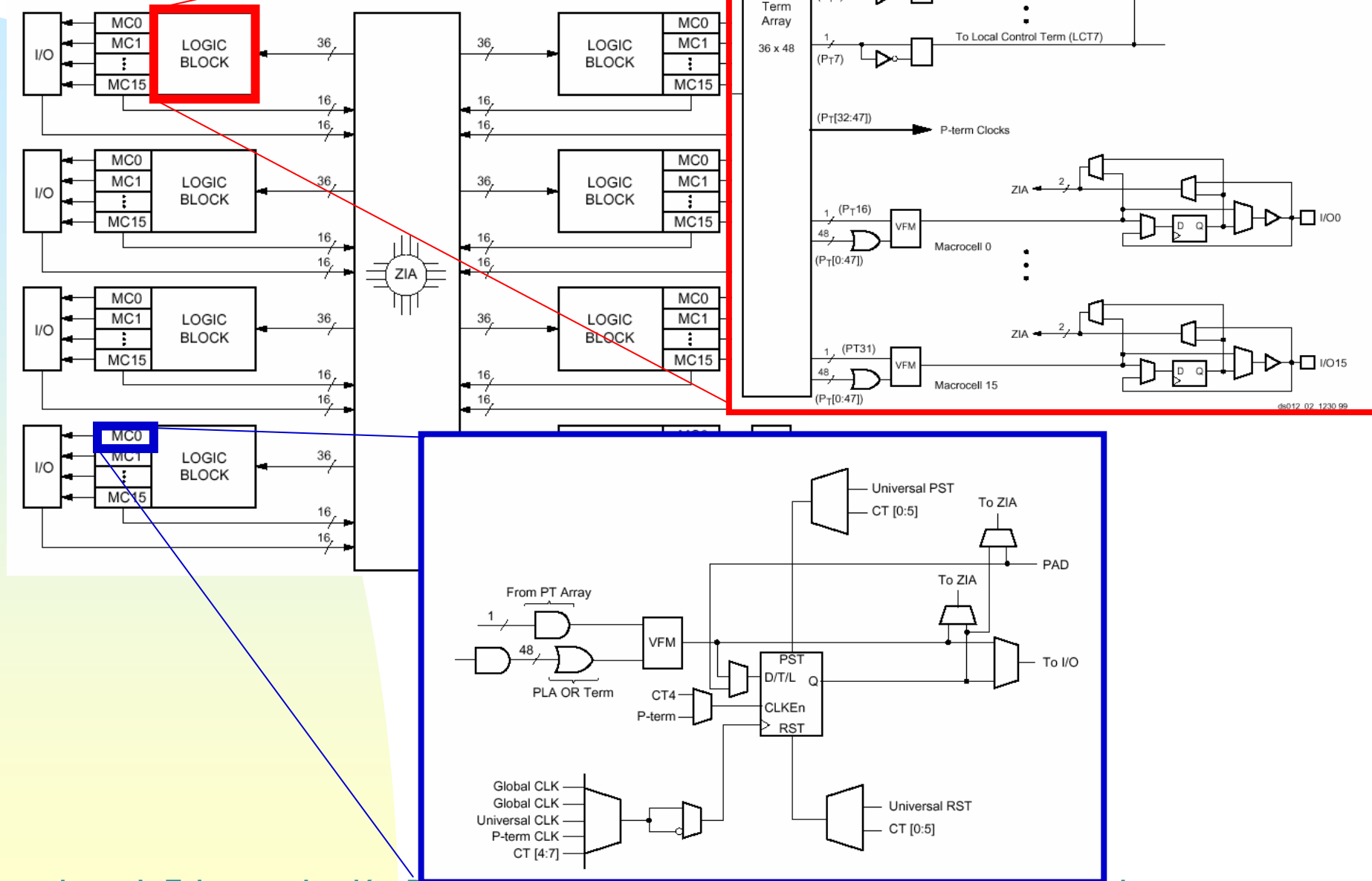
CPLDs



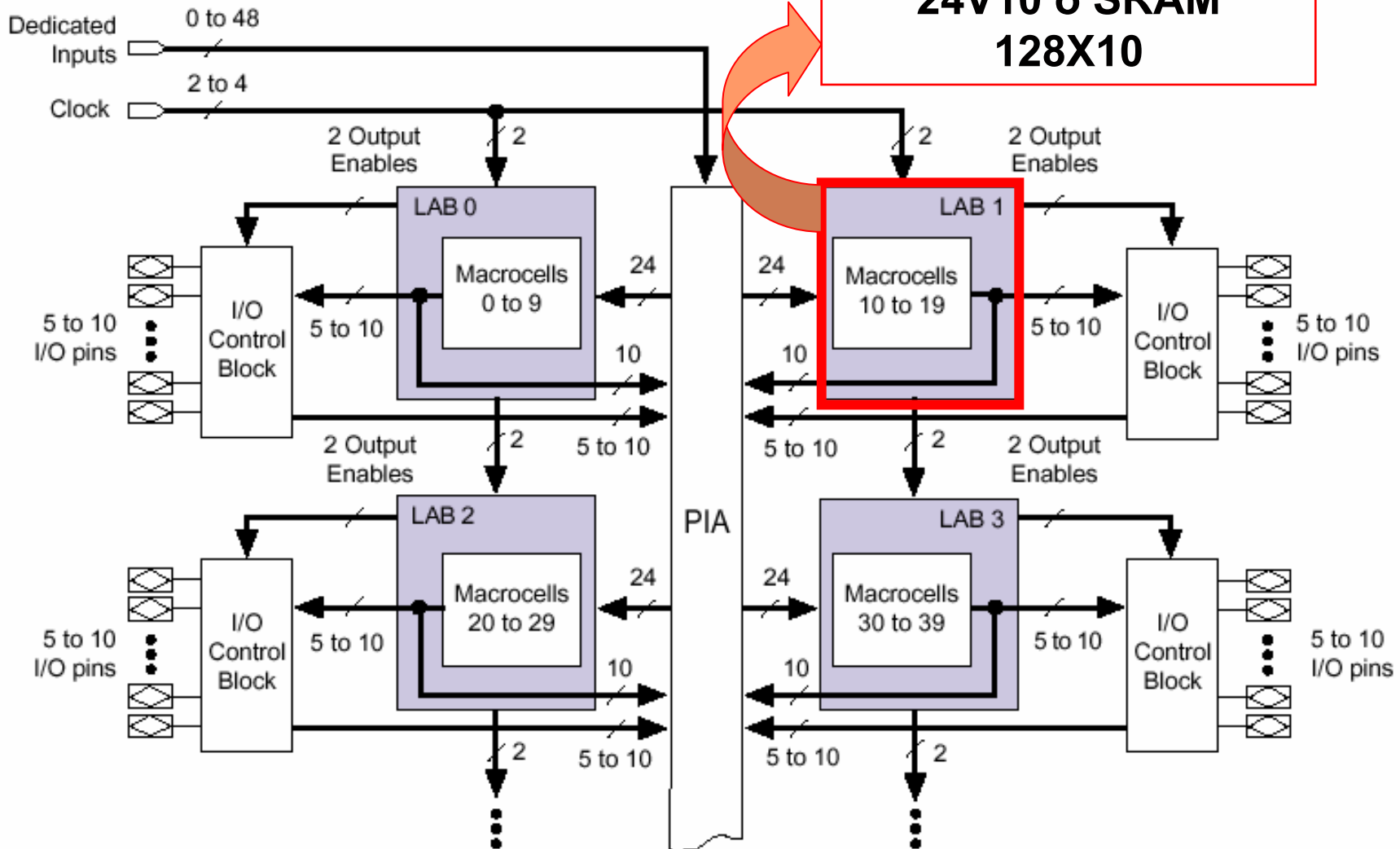
2. Arquitectura segmentada. PLDs avanzados

Ingenieros de Telecomunicación. Dispositivos Lógicos Programables. Universidad de Oviedo

CPLDs



CPLDs



3. Bloques multifuncionales (ej. Altera FLASHlogic)

Recursos adicionales

Ingenieros de Telecomunicación. Dispositivos Lógicos Programables. Universidad de Oviedo

PLDs de LATTICE (tomado de [1])



	Familia	Arquitectura	Macroelda	Características
BPLD	GAL	-Tipo PAL (una matriz de conexión)	<ul style="list-style-type: none"> • Un biestable • Una realimentación 	<ul style="list-style-type: none"> -DIP20 y DIP24 -Borrables eléctric.
	GAL 6001/2	-Matriz AND -Matriz OR	<ul style="list-style-type: none"> • Dos biestables • Doble realimentación 	-DIP24
APLD	MACH1 y 2	-Segmentada -Dos matrices con.	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	<ul style="list-style-type: none"> -De 44 a 100 pines -De 32 a 128 Macroceldas
	MACH4	-Segmentada -Tres matrices con.	<ul style="list-style-type: none"> • Hasta 3 biestables • Hasta 3 realimentac. 	<ul style="list-style-type: none"> -De 44 a 352 pines -De 32 a 512 Macroceldas
	ispLSI5000	-Segmentada -Dos matrices con.	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	<ul style="list-style-type: none"> -256 a 512 Macroceldas -12000 a 24000 puertas -Programable en el circuito
	MACH5	-Segmentada (3 matr.) -Dos matrices con.	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	<ul style="list-style-type: none"> -128 a 512 Macroceldas -De 68 a 256 pines
CPLD	ispLSI1000 ispLSI2000 ispLSI3000	-Dos matrices de con. -Bloques log.complejos	<ul style="list-style-type: none"> • Un biestable • Una realimentación 	<ul style="list-style-type: none"> -Hasta 448 Macroceldas -Hasta 20000 puertas equiv. -Programables en circuito
	ispLSI6000	-Dos matrices de con. -Bloques log.complejos -Recursos adicionales: memoria y contadores	<ul style="list-style-type: none"> • Un biestable • Una realimentación 	<ul style="list-style-type: none"> -8000 puertas PLD -Programable en circuito -Hasta 208 pines
	ispLSI8000	-Tres matrices de con. -Bloques log.=APLDs	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	<ul style="list-style-type: none"> -32000 a 60000 puertas -Hasta 1080 Macroceldas

PLDs de XILINX (tomado de [1])



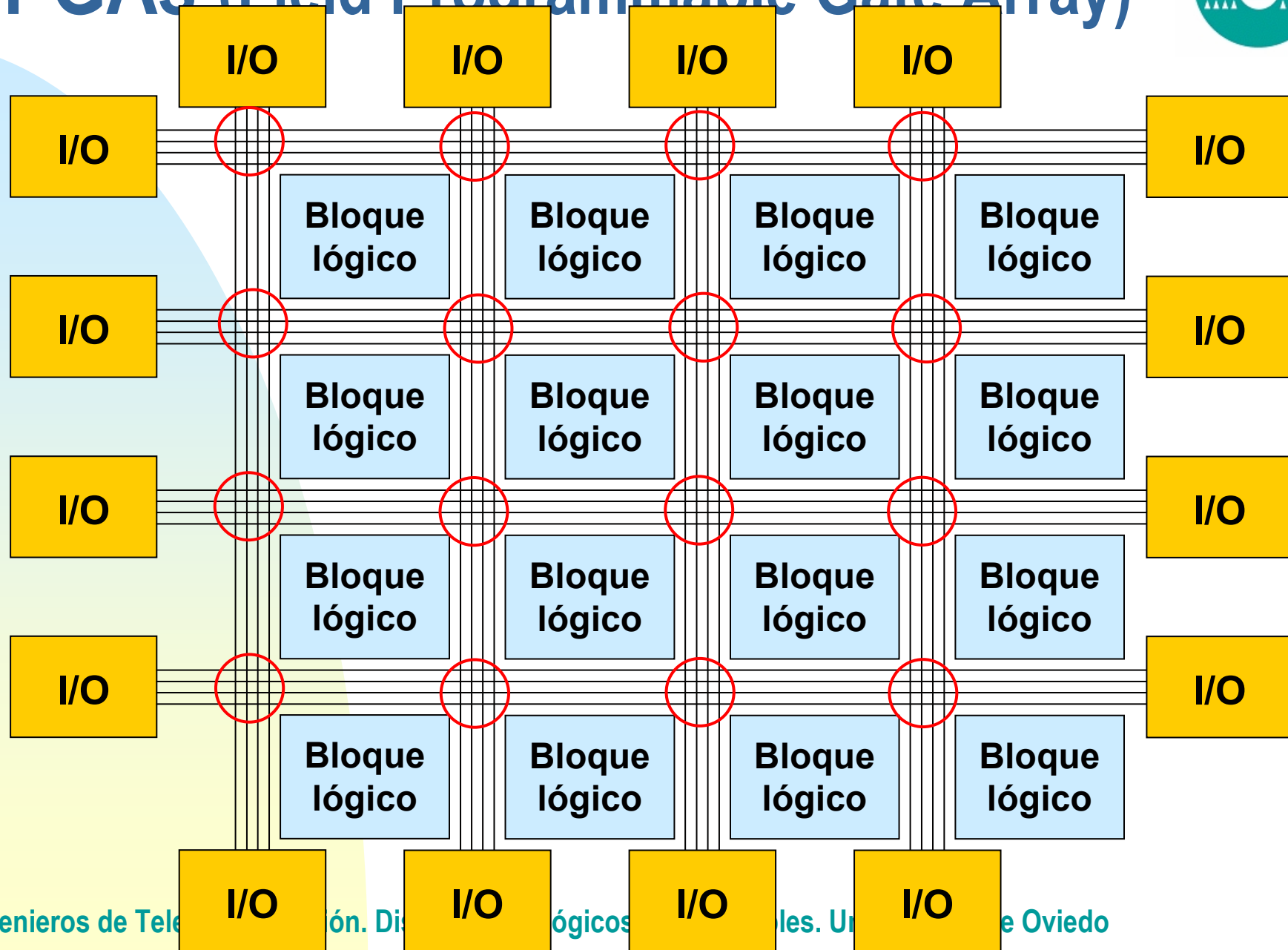
	Familia	Arquitectura	Macroelda	Características
APLD	9500	-Segmentada -Dos matrices con. -Asignación variable rec.: sumas de productos	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-44 a 352 pines -36 a 288 Macroceldas -800 a 6400 puertas
	CoolRunner XPLA	-Segmentada -Dos matrices con. -Asignación variable rec.: compartición productos	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-Comprado a Philips -84 a 160 pines -128 Macroceldas -4000 puertas
	CoolRunner XPLA 3	-Segmentada -Dos matrices con. -Asignación variable rec.: puertas NAND	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-56 a 280 pines -32 a 384 Macroceldas -750 a 9000 puertas
CPLD	CoolRunner XPLA 2	-Segmentada -Tres matrices con. -Bloques Lógicos complejos: APLD segm.	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-492 pines -960 Macroceldas -30000 puertas

PLDs de ALTERA (tomado de [1])

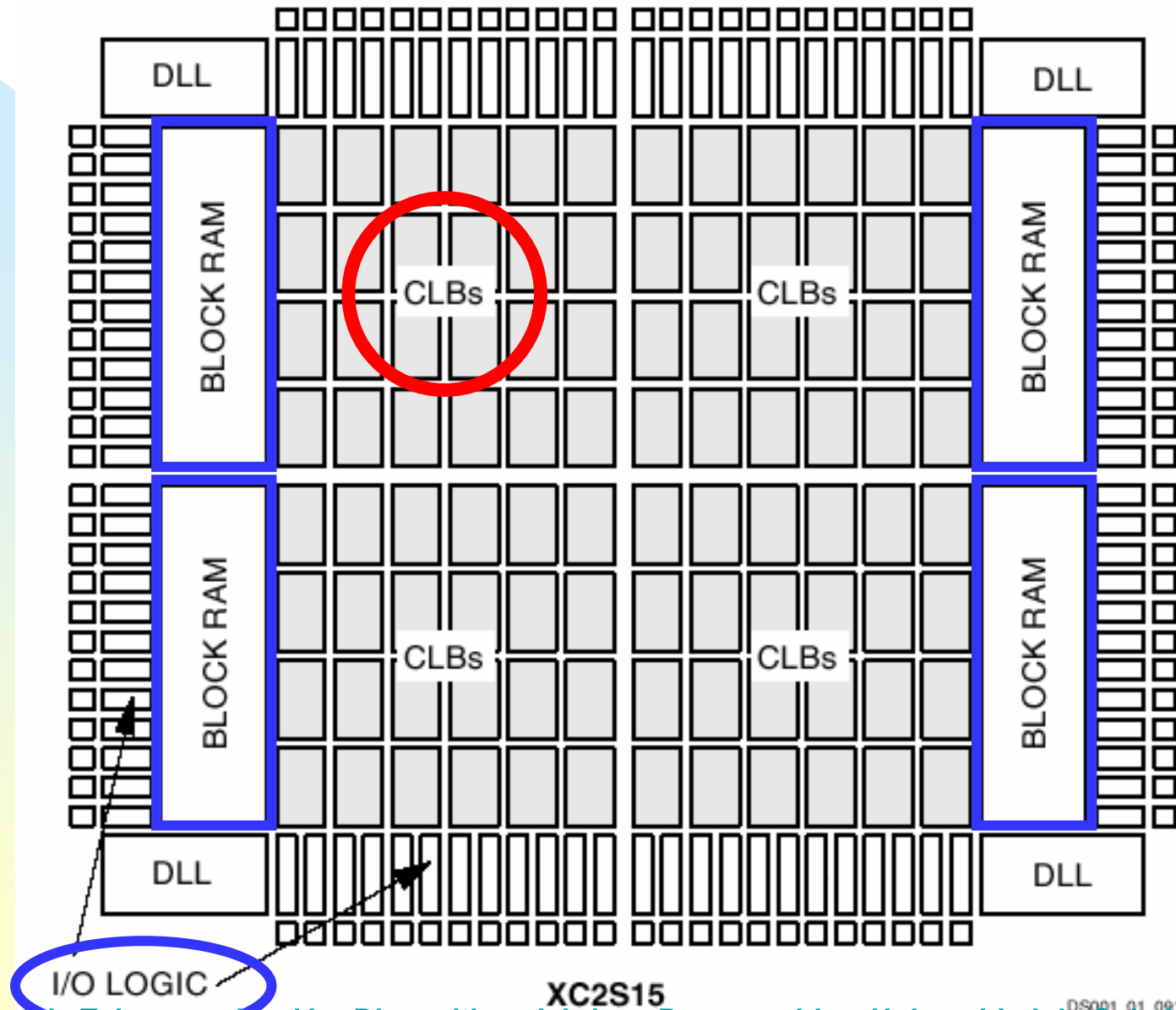


	Familia	Arquitectura	Macrocelda	Características
BPLD	Classic EP220-224 EP610-910	-Una matriz de interconexión (bus global)	<ul style="list-style-type: none"> • Un biestable • Una realimentación 	-16 Macroceldas -Borrables por luz UV (OTP) -DIP20 y DIP24
	Classic EP312-324	-Una matriz de conex. -Distribución de sumas	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-De 12 a 24 Macroceldas -Borrables con luz UV
APLD	Classic EP1810	-Segmentada -Dos matrices con.	<ul style="list-style-type: none"> • Un biestable • Una realimentación 	-48 Macroceldas (900 puertas) -68 pines (PLCC ó PGA) -Borrables con luz UV
	MAX5000	-Segmentada -Puertas NAND expans.	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-De 32 a 192 Macroceldas -Borrables con luz UV
	MAX7000	-Segmentada -Puertas NAND expans. -Distribución de sumas	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-Hasta 512 Macroceldas -De 44 a 208 pines -Borrables eléctricamente
CPLD	MAX3000	-Segmentada -Puertas NAND expans. -Distribución de sumas	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-Hasta 256 Macroceldas -De 44 a 256 pines -Borrables eléctricamente
	MAX9000	-Segmentada -Puertas NAND expans. -Distribución de sumas	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-Hasta 560 Macroceldas -De 84 a 356 pines -Borrables eléctricamente
	FLASHlogic	-Segmentada -Bloques log.conf. (SRAM y PLD avanz.) -Recursos adicionales: comparador 12 bits	<ul style="list-style-type: none"> • Un biestable • Doble realimentación 	-De 80 a 160 Macroceldas -Hasta 20480 bits SRAM -Basado en SRAM (volátiles)

FPGAs (Field Programmable Gate Array)



Ej. SPARTAN II



Ej. SPARTAN II

Bloque I/O

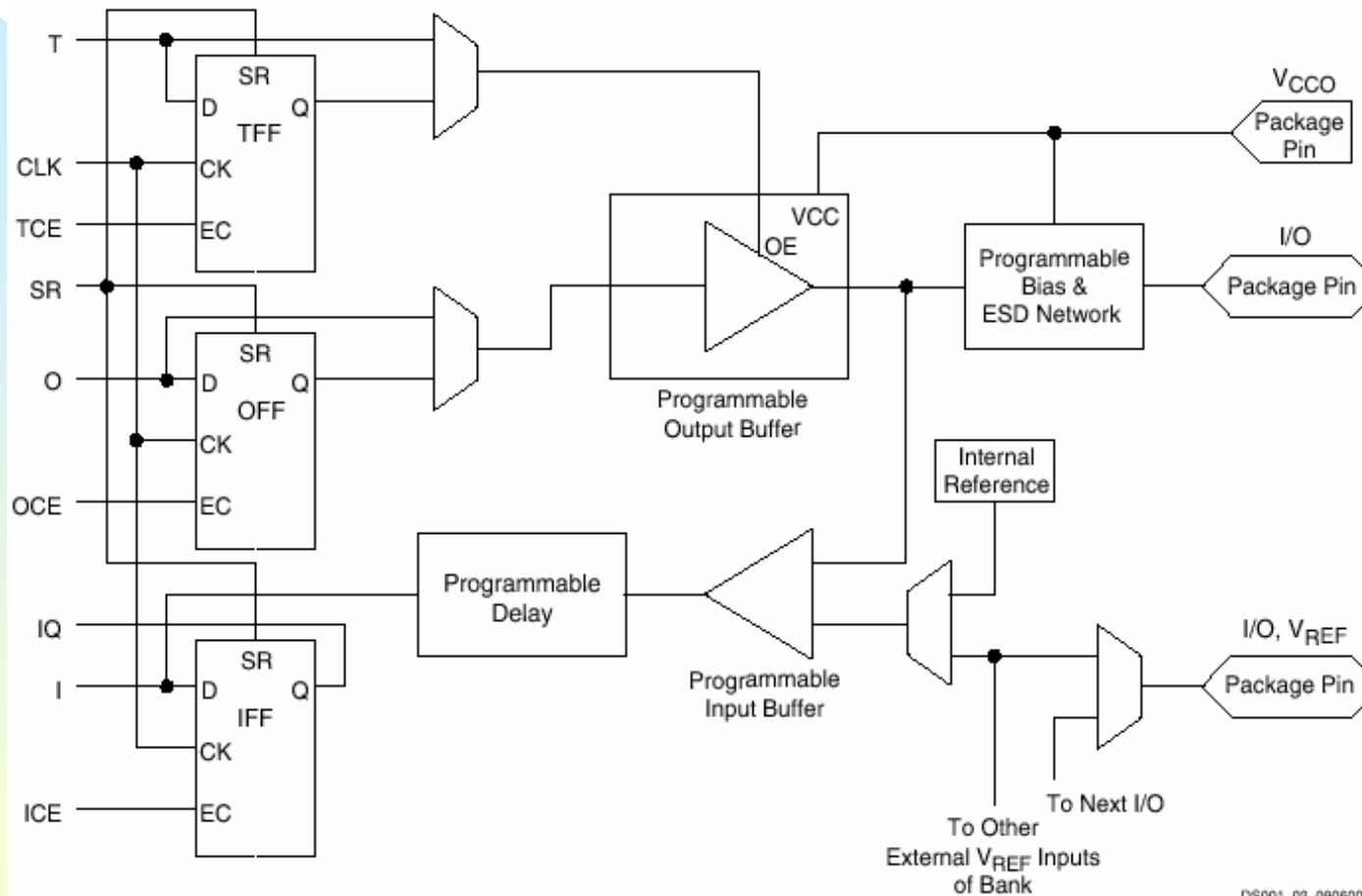


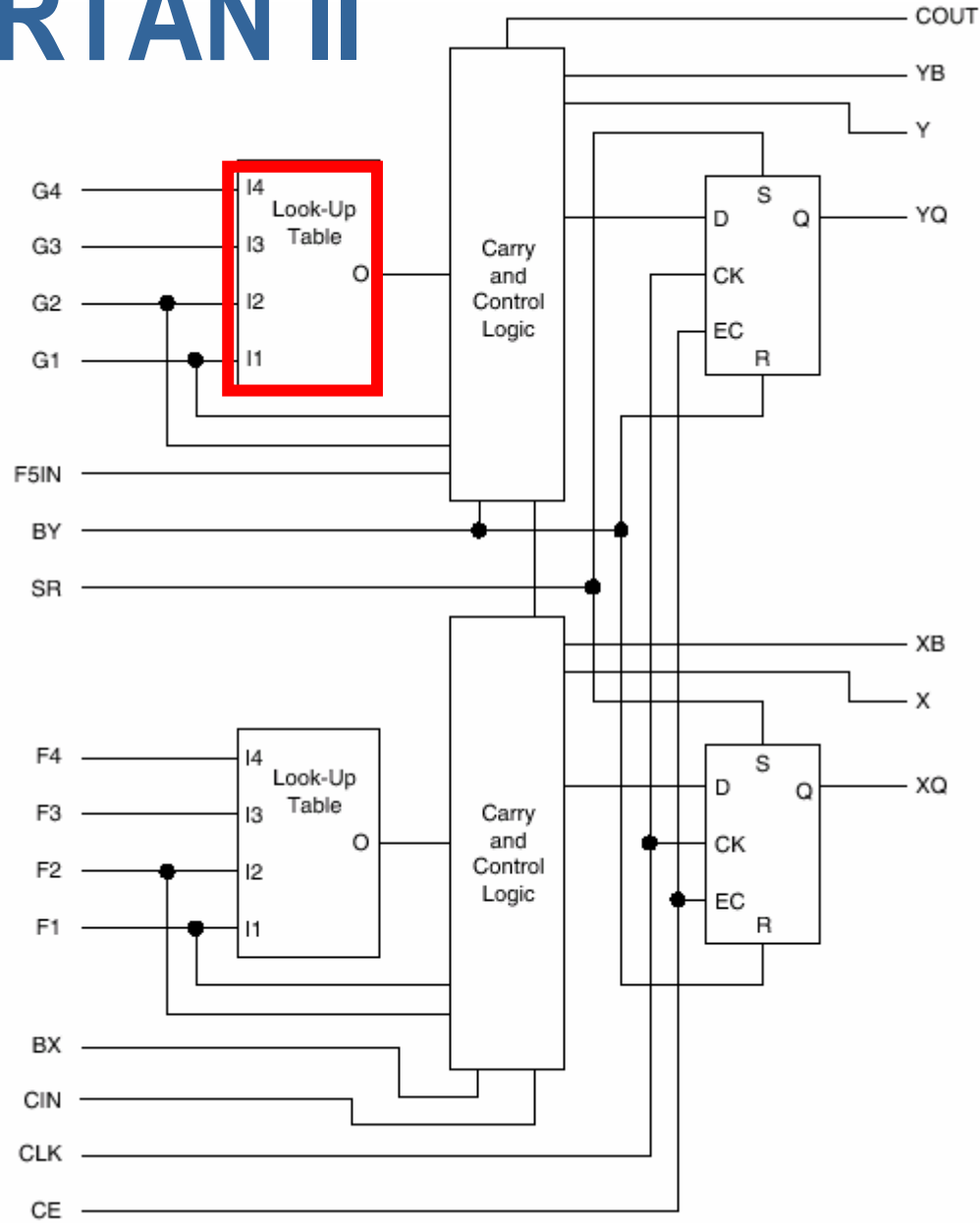
Figure 1: Spartan-II Input/Output Block (IOB)

D5001_02_090600

Ej. SPARTAN II

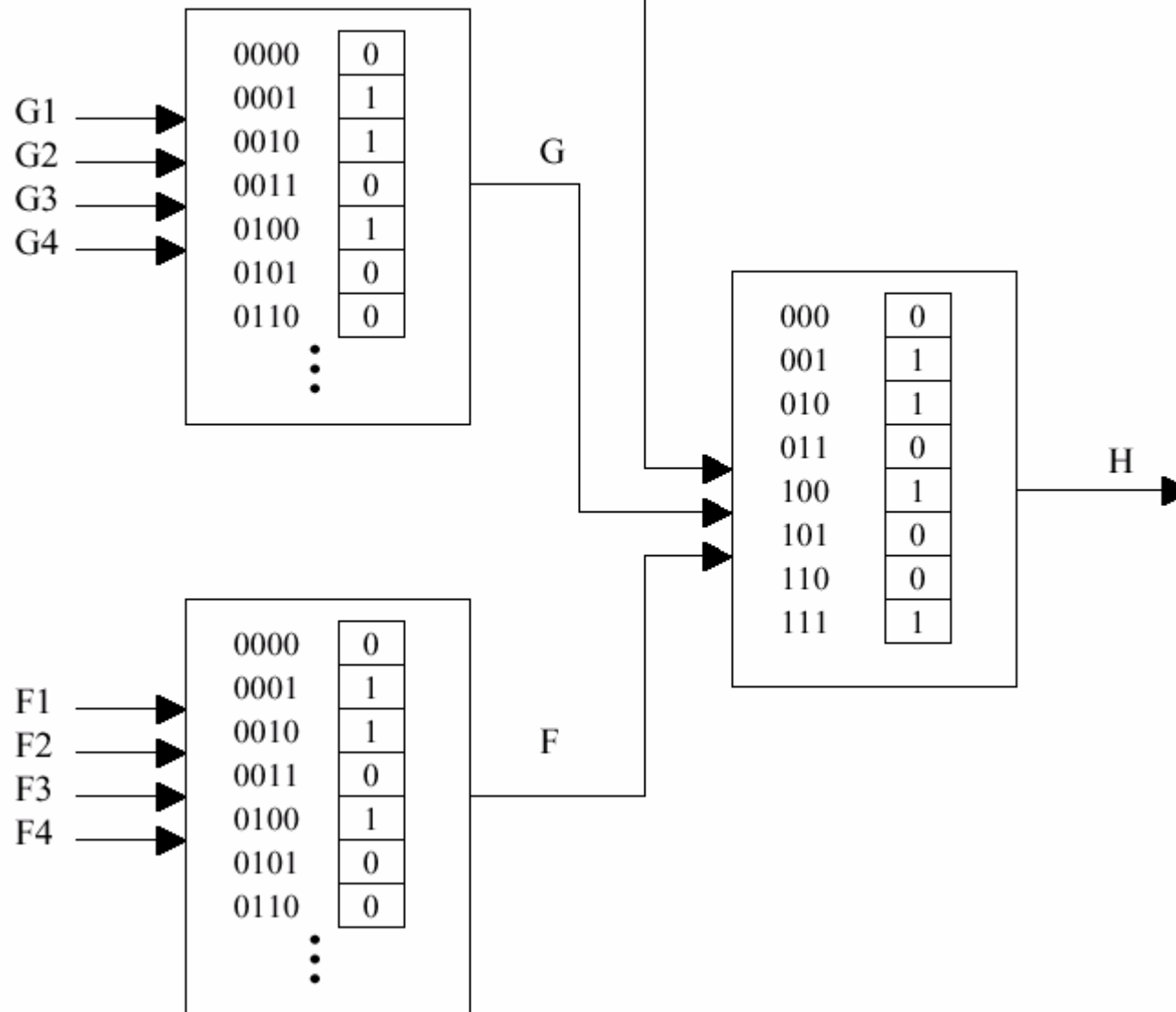


Bloque Lógico

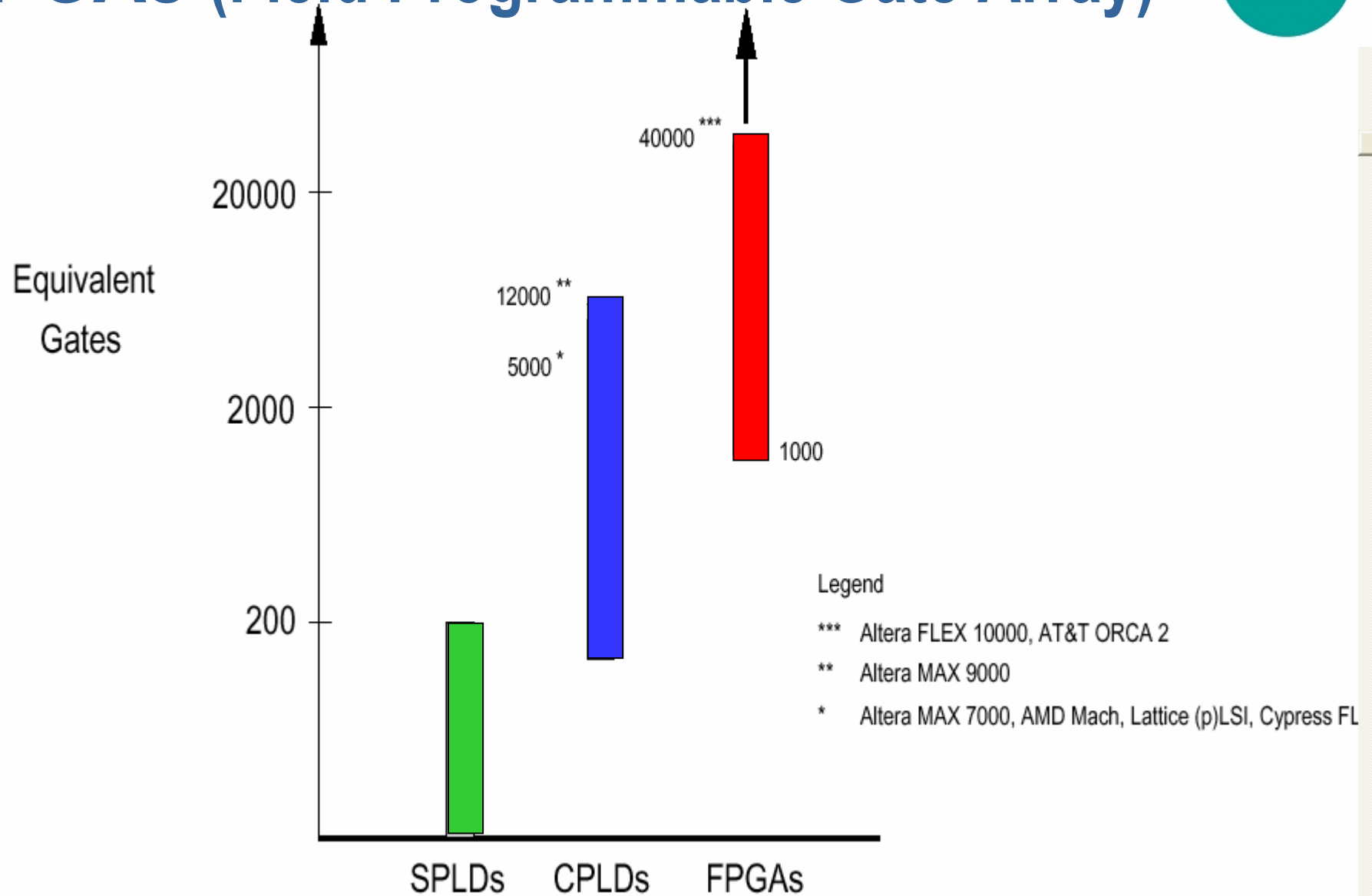


DS001_04_091400

Ej. LUT (paridad de 9 entradas)



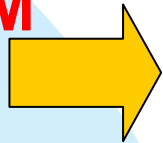
FPGAs (Field Programmable Gate Array)



FPGAs (Field Programmable Gate Array)

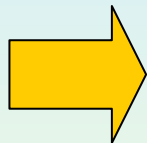


SRAM

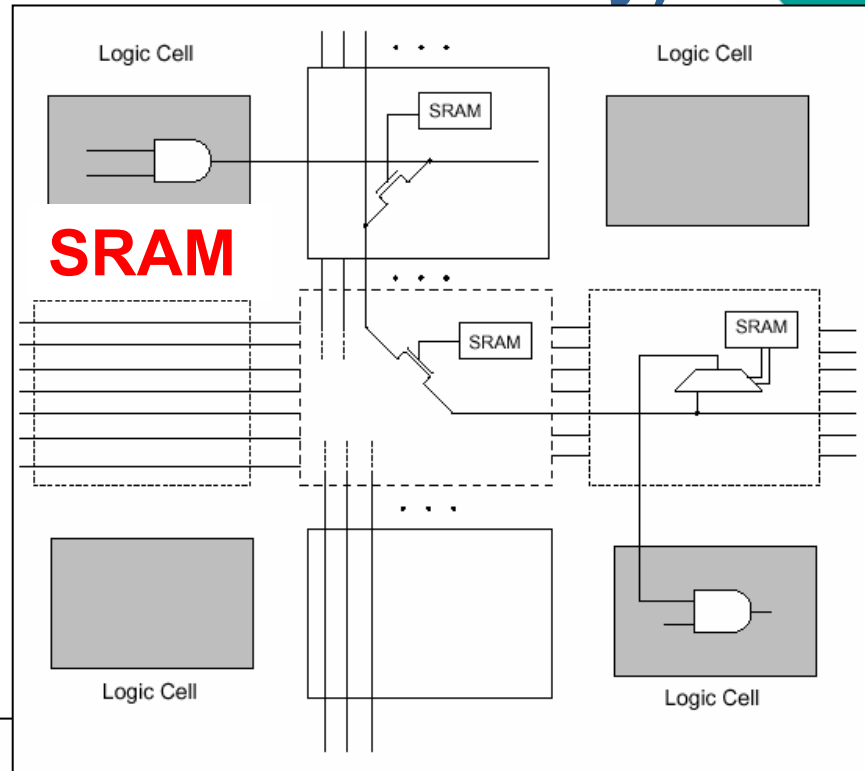


Xilinx
Altera

Antifusibles



Actel
Cypress
Xilinx



Antifusibles

